

# Rapport de Travaux Pratiques

SOULARD Mathieu      VINCENT Cédric

8 octobre 2004

# Table des matières

<b>1</b>	<b>Introduction</b>	<b>3</b>
1.1	Régime <i>linéaire</i> . . . . .	3
1.2	Régime <i>saturé</i> . . . . .	3
1.3	Régime <i>bloqué</i> . . . . .	4
1.4	Régime <i>inverse</i> . . . . .	4
1.5	Conclusions . . . . .	4
<b>2</b>	<b>Inverseur : Logique Saturée Bipolaire</b>	<b>4</b>
2.1	Introduction . . . . .	4
2.2	Polarisation . . . . .	5
2.3	Etude de la fonction de transfert . . . . .	5
2.4	Etude paramétrique $f(R_b)$ . . . . .	5
2.4.1	Analyse temporelle . . . . .	8
2.5	Analyse des temps de montée et descente . . . . .	8
2.6	Conclusions . . . . .	11
<b>3</b>	<b>Logique TTL simple</b>	<b>11</b>
3.1	Introduction . . . . .	11
3.2	Polarisation . . . . .	13
3.3	Etude de la fonction de transfert . . . . .	13
3.4	Fonction logique représentée . . . . .	17
3.5	Conclusions . . . . .	17
<b>4</b>	<b>Logique TTL « Totem Pole »</b>	<b>17</b>
4.1	Introduction . . . . .	17
4.2	Polarisation . . . . .	17
4.3	Etude de la fonction de transfert . . . . .	21
4.4	Analyse temporelle . . . . .	21
4.4.1	Avec diode Schottky . . . . .	21
4.5	Analyse des niveaux logiques . . . . .	21
<b>5</b>	<b>Amplificateur à transistor à couplages capacitifs</b>	<b>26</b>
5.1	Introduction . . . . .	26
5.2	Analyse fréquentielle . . . . .	28
5.3	Réponse à un signal « carré » . . . . .	28
<b>6</b>	<b>Amplificateur différentiel à émetteur couplés</b>	<b>32</b>
6.1	Introduction . . . . .	32
6.2	Analyse temporelle . . . . .	32
6.3	Modulation d'amplitude d'une porteuse . . . . .	32
<b>7</b>	<b>Caractérisation d'un amplificateur opérationnel inverseur</b>	<b>37</b>
7.1	Introduction . . . . .	37
7.2	Analyse fréquentielle . . . . .	38
7.3	Réponse en forts niveaux . . . . .	38

# 1 Introduction

Cette série de TPs aborde les circuits électroniques à base de composants actifs. Aussi nous nous sommes donc familiarisé avec le transistor bipolaire dans ses différents modes et domaines de fonctionnement, et aussi avec l'amplificateur opérationnel dans un exemple d'utilisation.

Nous présenterons essentiellement le transistor bipolaire dans les sections suivantes de cette introduction.

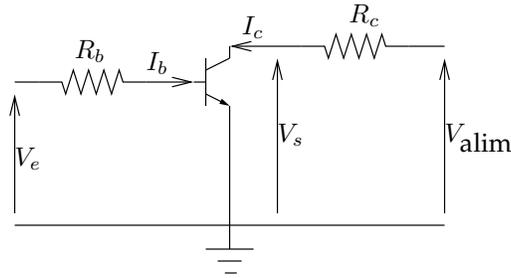


FIG. 1 – Schéma simple de polarisation d'un transistor.

## 1.1 Régime linéaire

Le transistor est en régime *linéaire* lorsque les deux conditions suivantes sont réunies :

- la jonction « diode » entre les bornes *B* et *E* est passante, dans ce cas  $V_{be} \approx 0,6$  Volts ;
- $I_b < I_{b_{sat}}$ , où  $I_{b_{sat}}$  est le courant maximal pour lequel la relation du gain en courant <sup>1</sup> est encore vérifié.

Le courant  $I_c$  est majoré par les éléments du circuit, on a donc :

$$I_{c_{max}} = V_{alim}/R_c \Rightarrow I_{b_{sat}} = (V_{alim}/R_c)/\beta \quad (1)$$

En régime linéaire, l'intensité  $I_c$  qui traverse le transistor est uniquement fonction de la tension  $V_{be}$  <sup>2</sup>, car l'équation qui détermine son fonctionnement dans ce mode est :

$$I_c = I_s \exp\left(\frac{V_{be}}{U_t} - 1\right) \left(1 + \frac{V_{ce}}{V_a}\right) \quad (2)$$

où  $I_s$  est le courant inverse de saturation (de l'ordre de 100 nA), et avec  $V_a$  (tension d'*Early* <sup>3</sup>) très grand devant  $V_{ce}$ , ce qui à pour conséquence de réduire l'équation à :

$$I_c = I_s \exp\left(\frac{V_{be}}{U_t}\right) = f(V_{be}) \quad (3)$$

Dans ce mode de fonctionnement, le transistor peut être assimilé à un générateur de courant idéal puisque peu importe la tension  $V_{be}$ , l'intensité  $I_b$  reste *presque* constante :  $I_b = (I_s/\beta) \exp(V_{be}/U_t)$ .

## 1.2 Régime saturé

Le transistor est en régime *saturé* lorsque la tension d'entrée est suffisante pour que  $V_{be} \approx 0,6$  V, mais que le courant  $I_b$  est supérieur à  $I_{b_{sat}}$ . On a alors  $V_{ce} \simeq 0$ , ce qui est équivalent à avoir un court-circuit entre les bornes *C* et *E* du transistor.

Dans ce mode de fonctionnement, le transistor peut être assimilé à un générateur de tension idéal puisque peu importe l'intensité  $I_c$ , la tension  $V_{ce}$  reste *presque* constante :  $V_{ce} = V_{ce_{sat}}$ .

<sup>1</sup>  $I_c = \beta I_b$

<sup>2</sup> et non de  $I_b$  puisque que l'on fait une attaque en tension, par la suite on a effectivement  $I_b = (V_e - V_{be})/R_b$ .

<sup>3</sup> de l'ordre de 100 Volts.

### 1.3 Régime bloqué

Le transistor est en régime *bloqué* lorsque les conditions de son fonctionnement ne sont pas satisfaites, c'est à dire lorsque  $V_{be} < 0,6$  V. Dans ce cas aucun courant ne passe entre les bornes *C* et *E* du transistor.

### 1.4 Régime inverse

Dans ce mode de fonctionnement, le collecteur et l'émetteur du transistor sont utilisé de manière *inversé*, nous retrouvons donc les mêmes équations que précédemment mise à part les valeurs utilisées, ceci étant dû à l'asymétrie des jonctions du transistor.

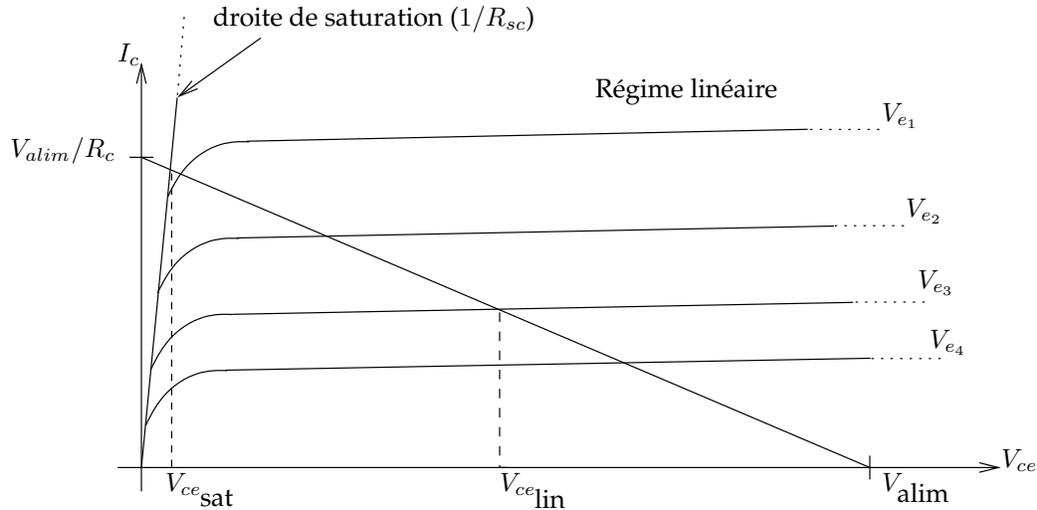


FIG. 2 – Caractéristique du transistor.

La figure 2 nous montre les caractéristiques d'un transistor. On y retrouve  $I_{c,max} = V_{alim}/R_c$ , ainsi que la droite de charge <sup>4</sup>.

### 1.5 Conclusions

Voici un tableau récapitulatif des différents modes de fonctionnement du transistor :

$V_{be}$	$I_{b,sat} - I_b$	$\Rightarrow$	mode
$\approx 0,6$	$> 0$	$\Rightarrow$	linéaire
$\approx 0,6$	$< 0$	$\Rightarrow$	saturé
$< 0,6$		$\Rightarrow$	bloqué

## 2 Inverseur : Logique Saturée Bipolaire

### 2.1 Introduction

Nous allons étudier le transistor en *commutation* entre les modes saturé et bloqué, afin de réaliser un inverseur *logique* simple.

Nous souhaitons donc que notre circuit ai les propriétés suivantes :

- lorsque  $V_e = 0$  V,  $T_1$  est bloqué, ce qui implique  $V_s = V_{alim}$  ;
- lorsque  $V_e = 5$  V,  $T_1$  est saturé, ce qui implique  $V_s = V_{ce} = V_{ce,sat} \simeq 0$  V.

<sup>4</sup>  $R_{sc}$  est la résistance *série* du collecteur, de l'ordre de  $30\Omega$ .

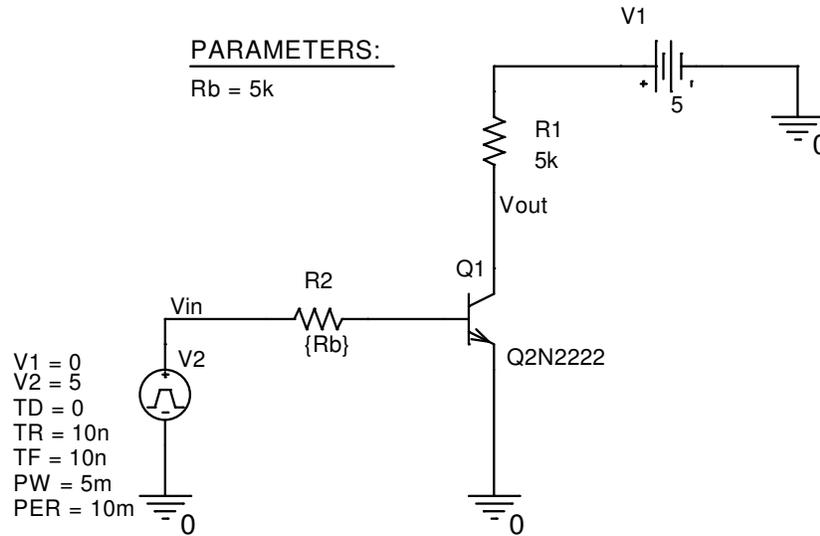


FIG. 3 – Schéma sous Orcad de notre inverseur.

## 2.2 Polarisation

Pour polariser le transistor, nous convenons d'un courant de 1 mA dans  $R_c$ . Ce qui donne :

$$R_c = \frac{V_{alim}}{I_c} \Rightarrow R_c = \frac{5}{1 \times 10^{-3}} \Rightarrow R_c = 5 \text{ k}\Omega \quad (4)$$

On en déduit une résistance  $R_b$  suffisante pour saturer  $T_1$  quand  $V_e = 5 \text{ V}$  en considérant que  $\beta = 100$  :

$$I_b > \frac{I_c}{\beta} \Rightarrow I_b > \frac{10^{-3}}{100} \Rightarrow I_b > 0,01 \text{ mA} \quad (5)$$

d'où :

$$R_b < \frac{V_e - V_{be}}{I_b} \Rightarrow R_b < \frac{5 - 0,6}{10^{-5}} \Rightarrow R_b < 440 \text{ k}\Omega \quad (6)$$

Cela signifie que pour saturer  $T_1$ ,  $R_b$  doit avoir n'importe quelle valeur en dessous de 440kΩ. Si cette condition n'est pas vérifiée,  $T_1$  ne sera pas saturé, mais en régime linéaire (voir même bloqué).

Aussi, dans la suite de l'étude, nous prenons une valeur qui vérifie cette équation. Nous verrons que d'autres critères complètent cette condition pour le choix de  $R_b$ .

## 2.3 Etude de la fonction de transfert

La figure 4 montre la fonction de transfert, nous voyons que :

- lorsque  $V_e$  est au niveau *haut*,  $V_s$  est au niveau *bas* ;
- lorsque  $V_e$  est au niveau *bas*,  $V_s$  est au niveau *haut*.

Nous avons donc à faire à un inverseur logique, où la transition s'effectue pour une tension de seuil  $V_t \approx 0,6 \text{ V}$ , ce qui correspond à la tension de seuil de notre transistor.

## 2.4 Etude paramétrique $f(R_b)$

Comme nous pouvons le constater sur la figure 5, la fonction de transfert dépend de  $R_b$ . Nous avons choisi  $R_b = \{500, 5k, 50k\} \Omega$  afin de respecter l'équation (6), de plus ces valeurs croissent de manière *logarithmique*, ce qui nous donne une plage de valeurs intéressantes.

D'après les résultats obtenus, lorsque  $R_b$  est petit (500Ω), la phase de transition entre les niveaux *haut* et *bas* est la plus nette, c'est-à-dire que la *réponse*  $V_s$  de notre inverseur est dans un état *indéterminé*<sup>5</sup> uniquement pour une plage de valeur d'entrée  $V_e$  extrêmement petite : entre 0,6 V et 0,65 V.

<sup>5</sup> c'est-à-dire que  $V_s$  est très différent de l'état « haut » ou « bas »

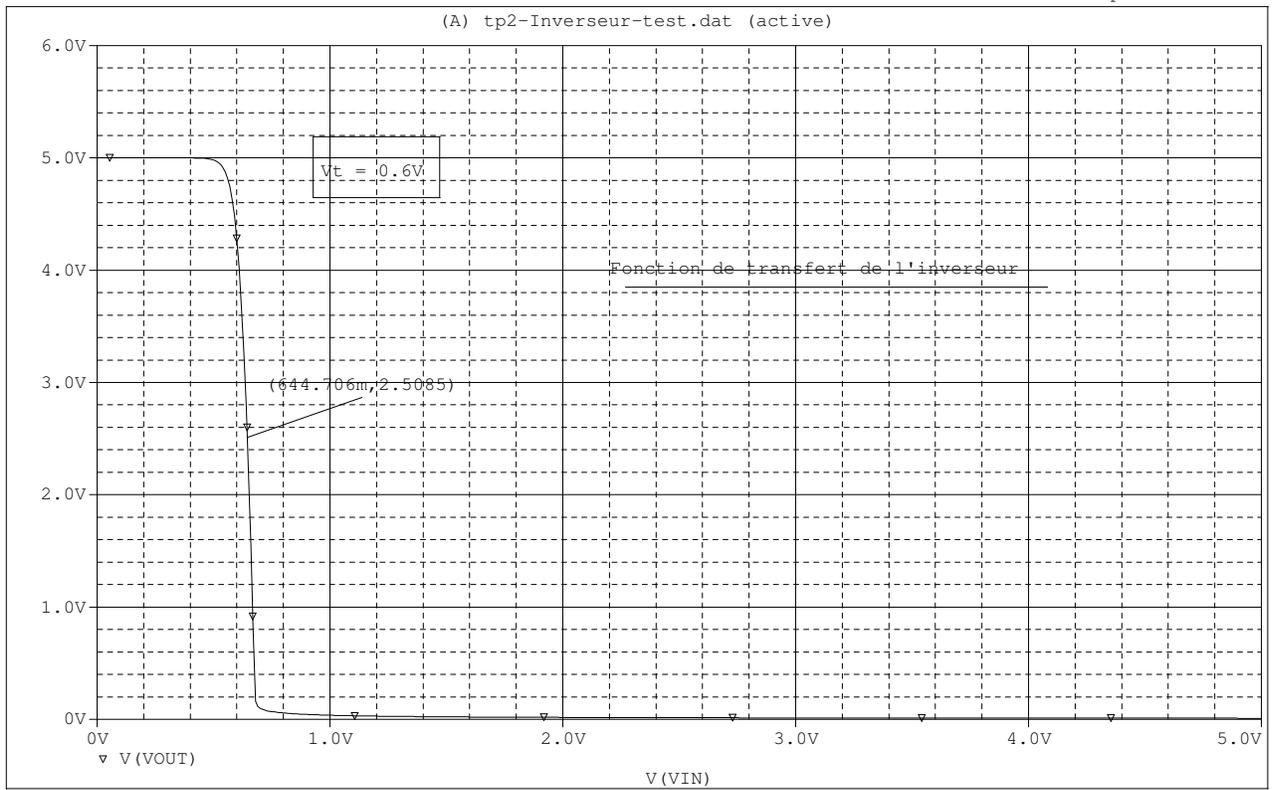
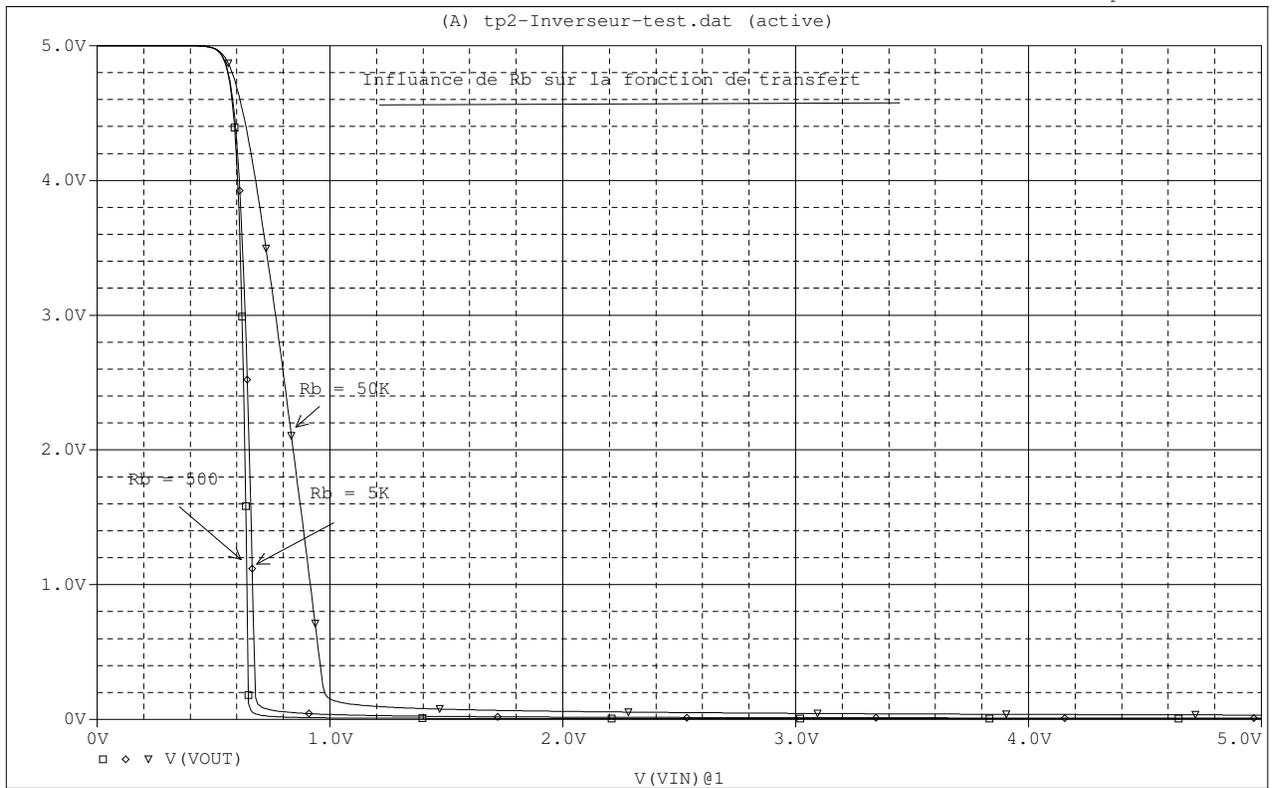


FIG. 4 – Fonction de transfert de notre inverseur.

\*\* Profile: "Inverseur-test" [ C:\CAMSI\MS\tp2-Inverseur-test.sim ]  
Date/Time run: 09/30/04 15:48:48 Temperature: 27.0



Date: September 30, 2004

Page 1

Time: 15:51:18

FIG. 5 – Fonction de transfert en fonction de  $R_b$  de notre inverseur.

Nous avons aussi une réponse très satisfaisante pour une valeur de  $R_b$  moyenne ( $5k\Omega$ ), puisque  $V_s$  dans un état *indéterminé* pour une plage de  $V_e$  petite : entre 0,6 V et 0,7 V. En plus d'avoir une réponse très proche du cas où  $R_b = 500\Omega$ , le fait que  $R_b$  ai une valeur plus importante diminue l'intensité  $I_b$  d'un facteur 10 et donc notre porte inverseuse consomme moins en entrée. On dit qu'elle a une meilleure *entrance*.

En revanche pour une grande valeur de  $R_b$  ( $50k\Omega$ ), certes nous consommons beaucoup moins, mais la plage de valeur d'entrée où la réponse est dans un état *indéterminé* est beaucoup plus importante : entre 0,6 V et 1 V.

Il semble donc pour le moment que le meilleur compromis soit  $R_b =$  quelques  $k\Omega$ .

### 2.4.1 Analyse temporelle

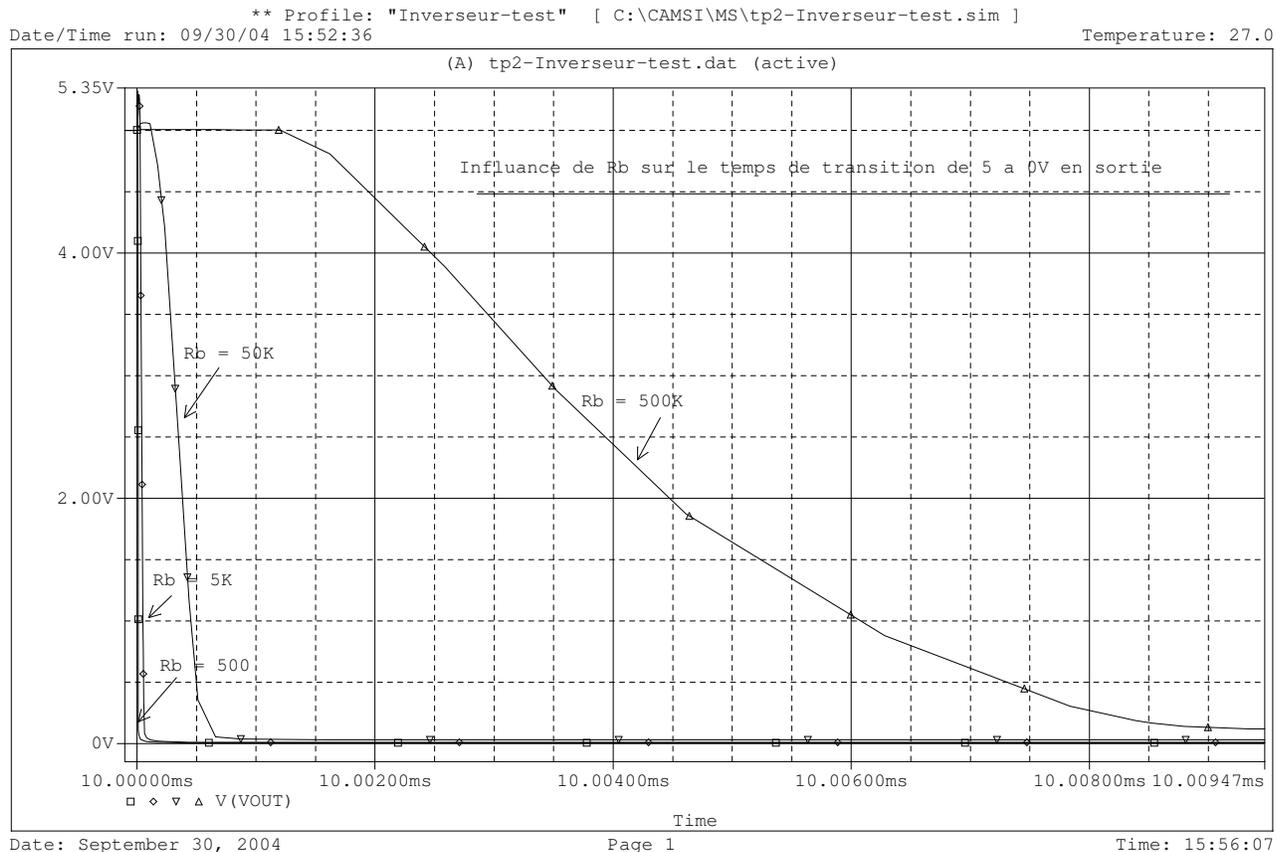


FIG. 6 – Commutation du niveau « haut » au niveau « bas ».

Comme nous voyons au figures 6 et 7, les temps de montée et de descente dépendent de  $R_b$ . Pour  $R_b = 500k\Omega$  ( $> 440k\Omega$  calculé à l'équation 6), nous voyons que le transistor n'est pas complètement saturé, la tension de sortie n'est donc pas complètement nulle.

Une fois encore, nous observons que pour  $R_b =$  quelques  $k\Omega$  nous avons un compromis satisfaisant entre la consommation en courant et le temps de réponse. En conclusion, nous prenons pour la suite  $R_b = 5k\Omega$ , ce qui nous fait  $I_b = V_e/R_b = 5/5 \times 10^3 = 1$  mA

Les *pics* de la tension de sortie que l'on peut observer sont dues aux capacités *parasites*<sup>6</sup> du transistor.

### 2.5 Analyse des temps de montée et descente

La figure 8 nous montre le temps de commutation de  $V_s$  du niveau « haut » au « bas », pour  $R_b = 5k\Omega$ . Pour calculer le temps de montée, nous prenons sur cette figure la différence entre le moment où le

<sup>6</sup>parfois appelé aussi capacités *parallèle*

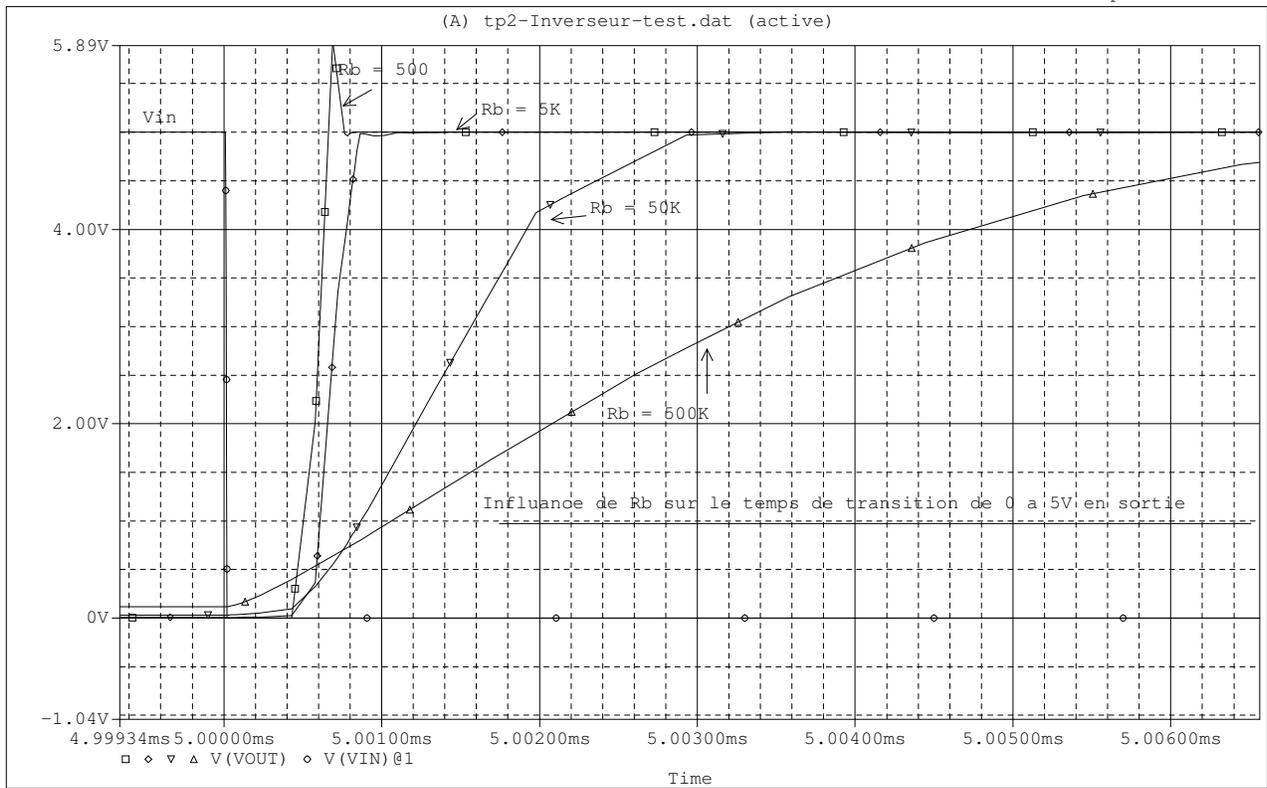
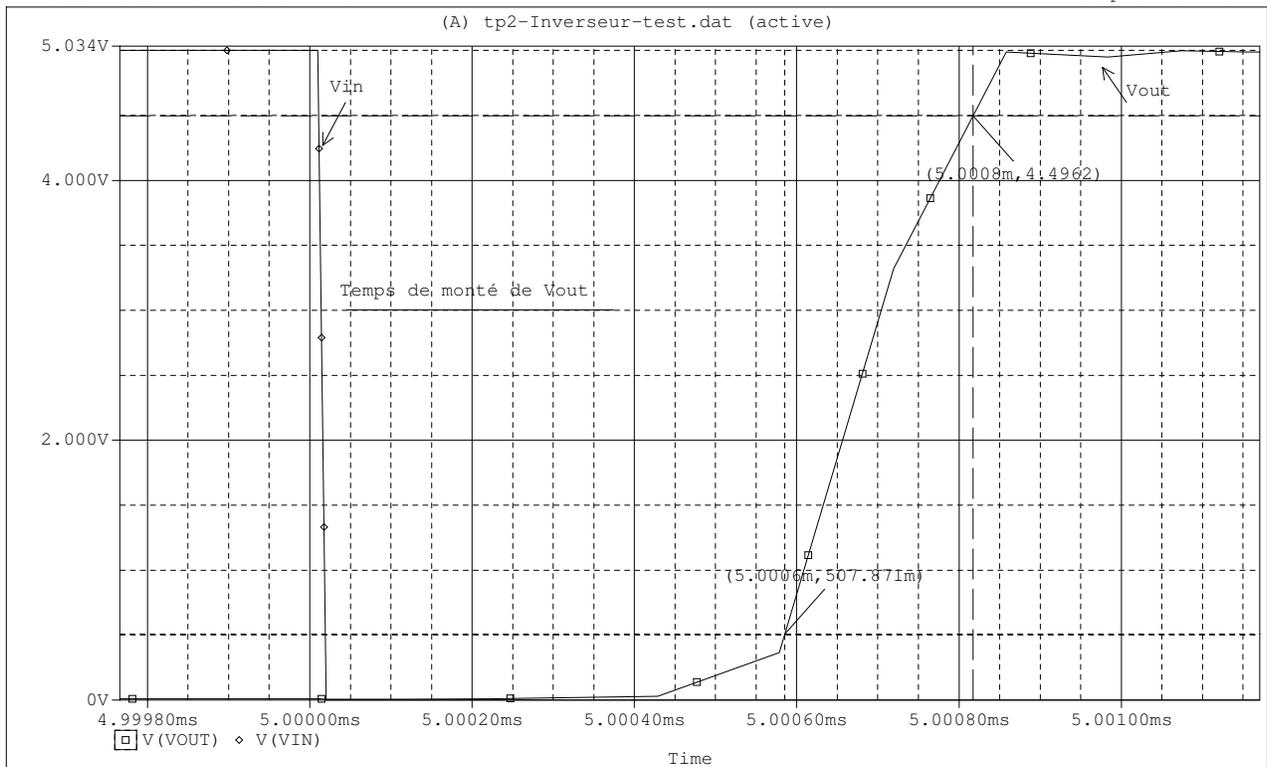


FIG. 7 – Commutation du niveau « bas » au niveau « haut ».

\*\* Profile: "Inverseur-test" [ C:\CAMSI\MS\tp2-Inverseur-test.sim ]  
 Date/Time run: 09/30/04 16:09:13 Temperature: 27.0



A1: (5.0006m, 507.871m) A2: (5.0008m, 4.4962) DIFF (A): (-232.072n, -3.9883)  
 Date: September 30, 2004 Page 1 Time: 16:12:10

FIG. 8 – Temps de montée.

signal est à 10% et où il est à 90%, soit 232 ns dans notre cas.

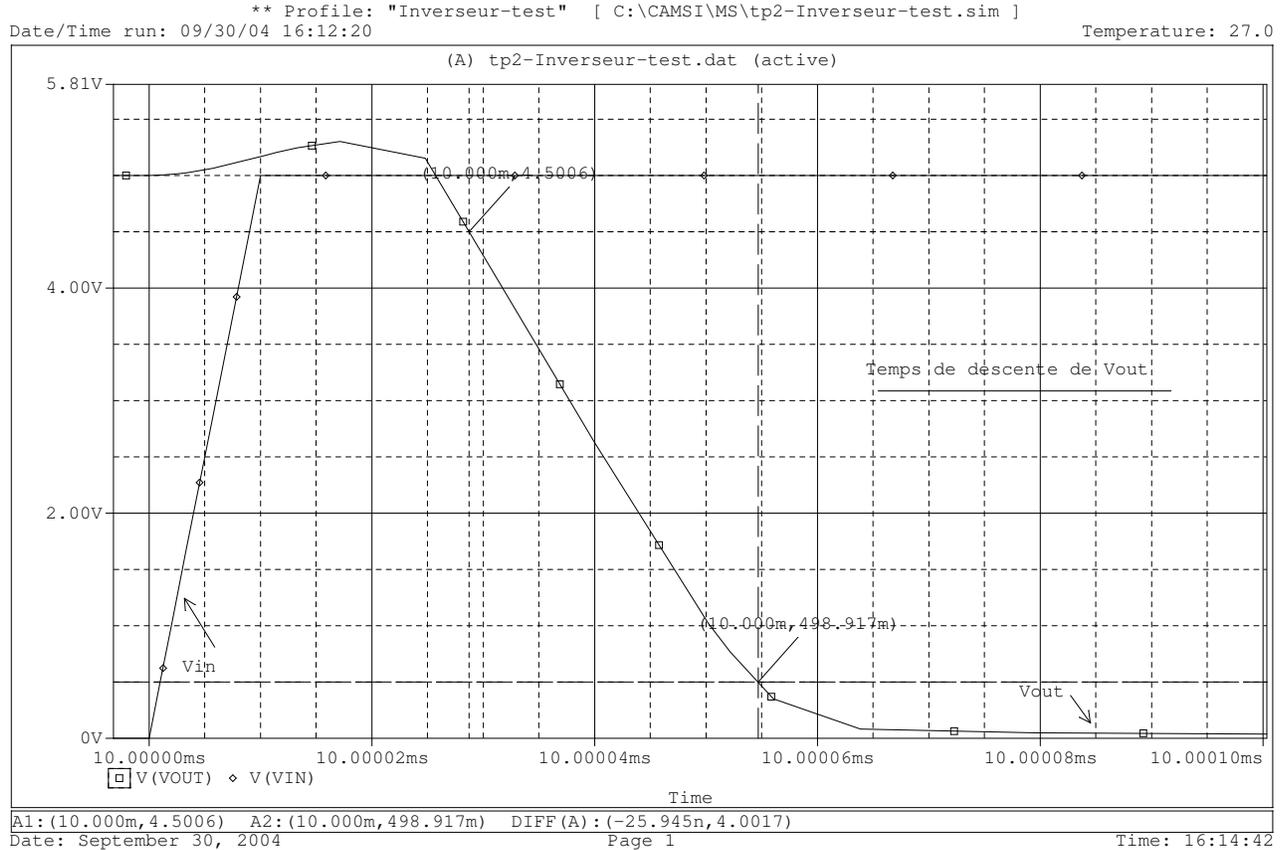


FIG. 9 – Temps de descente.

De même, la figure 9 nous montre le temps de descente de  $V_s$  qui est égale à 26 ns. La différence entre le temps de montée et le temps de descente est due au fait que le transistor n'est pas polarisé de la même manière dans les deux cas. En effet, en fonction de la tension à ses bornes, la capacité de la jonction  $BE$  a une valeur différente, d'où une constante de temps différente.

## 2.6 Conclusions

Après étude de ce schéma, nous nous rendons compte que le transistor n'est pas un composant actif simple, c'est-à-dire qu'il possède des propriétés capacitifs, résistifs, ... que l'on ne soupçonnait pas aussi influentes.

## 3 Logique TTL simple

### 3.1 Introduction

Nous allons maintenant observé la méthode utilisé en logique TTL pour diminuer le courant utilisé pour polariser le transistor de sortie. Cette méthode consiste à utiliser un transistor en mode *inverse* à l'entrée du montage, nous allons détailler cela dans les sections suivantes.

Comme précédemment, nous souhaitons donc que notre circuit est les propriétés suivantes :

- lorsque  $V_e = 0$  V,  $T_1$  est bloqué, ce qui implique  $V_s = V_{alim}$  ;
- lorsque  $V_e = 5$  V,  $T_1$  est saturé, ce qui implique  $V_s = V_{ce} = V_{ce_{sat}} \simeq 0$  V.

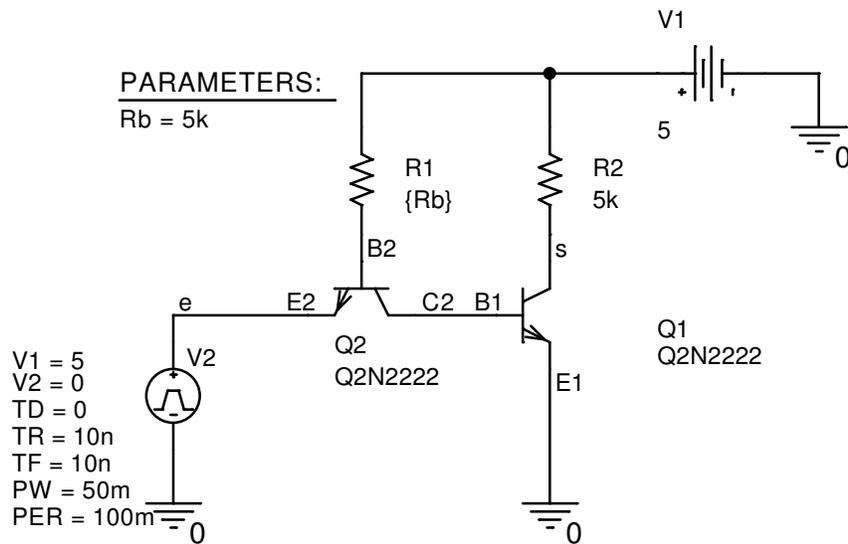


FIG. 10 – Schéma sous Orcad de notre inverseur TTL simple.

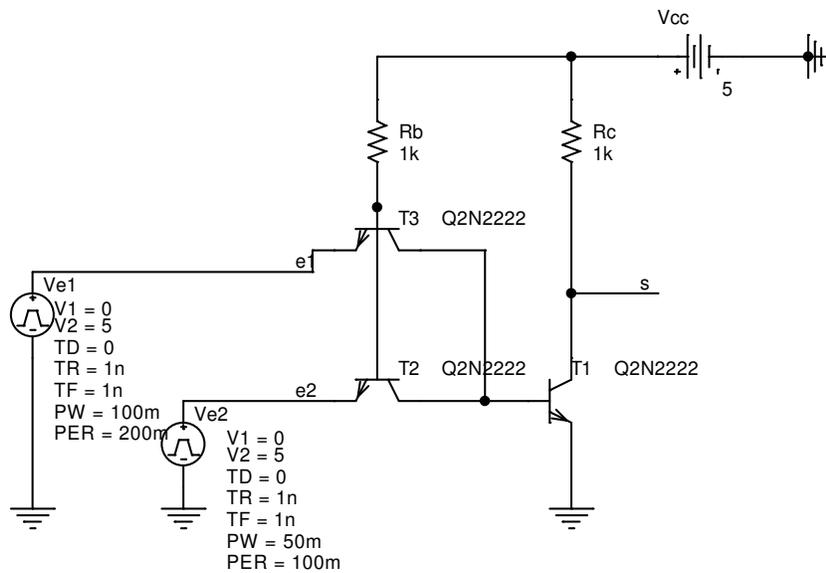


FIG. 11 – Schéma sous Orcad de notre fonction TTL simple NAND.

### 3.2 Polarisation

Pour polariser le transistor  $T_1$ , nous convenons d'un courant de 1 mA dans  $R_c$ . Ce qui donne :

$$R_c = \frac{V_{\text{alim}}}{I_c} \Rightarrow R_c = \frac{5}{1 \times 10^{-3}} \Rightarrow R_c = 5 \text{ k}\Omega \quad (7)$$

On en déduit un courant suffisant pour saturé  $T_1$  :

$$I_{b_1} > \frac{I_{c_1}}{\beta} \Rightarrow I_{b_1} > \frac{10^{-3}}{100} \Rightarrow I_{b_1} > 0,01 \text{ mA} \quad (8)$$

Cela signifie que pour saturé  $T_1$ , il faut que  $I_{c_2} > 0,01 \text{ mA}$  (puisque  $I_{c_2} = I_{b_1}$ ). Nous devons donc utilisé le transistor  $T_2$  en inverse.

Pour nous aider à calculer la polarisation du transistor, nous allons placer un potentiel  $v$  à la base de  $T_2$ . D'après la loi des mailles, nous avons alors :

$$v = V_{be_1} + V_{be_2} = 2 \times V_{be} \quad (9)$$

ce qui nous donne  $v_{\text{max}} = 2V_t$ . Lorsque  $v < v_{\text{max}}$  les diodes *internes*  $BC_2$  et  $BE_1$  sont bloquées, ce qui fait que  $T_1$  est bloqué.

Nous pouvons alors différencier plusieurs cas :

$V_e = 0$  :

$$v = V_{be_2} = V_t$$

$$v = V_{bc_1} + V_{be_2} = V_t \Rightarrow V_{bc_1} < V_t$$

alors  $T_1$  est bloqué, ce qui fait que  $I_{c_1} = 0$  et donc  $V_s = V_{cc}$

$V_e \leq V_t$  :

$$v = e + V_{be_2} = e + V_t \leq 2V_t$$

$$v = V_{bc_1} + V_{be_2} \leq 2V_t \Rightarrow V_{bc_1} < V_t$$

alors  $T_1$  est bloqué, ce qui fait que  $I_{c_1} = 0$  et donc  $V_s = V_{cc}$

$V_e > V_t$  :

$$v = e + V_{be_2} = 2V_t \Rightarrow V_{be_2} < V_t, \text{ alors la diode } BE_2 \text{ est bloquée}$$

$$v = V_{bc_1} + V_{be_2} = 2V_t \Rightarrow V_{bc_1} = V_{be_2} = V_t, \text{ alors la diode } BC_2 \text{ est passante}$$

Finalement, le transistor  $T_1$  n'est plus bloqué, et  $T_2$  fonctionne en inverse.

D'après l'équation (8) nous voyons qu'il faut un courant  $I_{b_1} > 0,01 \text{ mA}$  pour que le transistor  $T_1$  soit saturé. D'après la loi des noeuds, nous avons  $I_{c_2} = I_{b_2} + I_{e_2}$ , or  $I_{e_2} = \beta_r I_{b_2}$  donc  $I_{c_2} = (\beta_r + 1)I_{b_2}$ . Comme  $I_{b_2} = V_{cc}/R_b$  et  $I_{c_2} = I_{b_1}$ , nous prenons alors  $I_{c_2} > 10^{-5}$  pour que  $T_1$  soit saturé, nous avons donc :

$$10^{-5} < (\beta_r + 1)(V_{cc}/R_b)$$

$$10^{-5} < (0.5 + 1)(5/R_b)$$

$$R_b < (0.5 + 1)(5/10^{-5})$$

$$R_b < 750 \text{ k}\Omega \quad (10)$$

les figures 12 et 13 nous montre la polarisation obtenus lors de la simulation.

### 3.3 Etude de la fonction de transfert

Comme nous pouvons le remarquer à la figure 14, la commutation se fait toujours à  $V_t$  avec ce circuit d'entrée. Cependant, nous voyons que l'influence de  $R_b$  est négligeable contrairement au montage précédant. Nous pensons que cela est due au fait que  $R_b$  est maintenant *en dehors* de la boucle de contrôle.

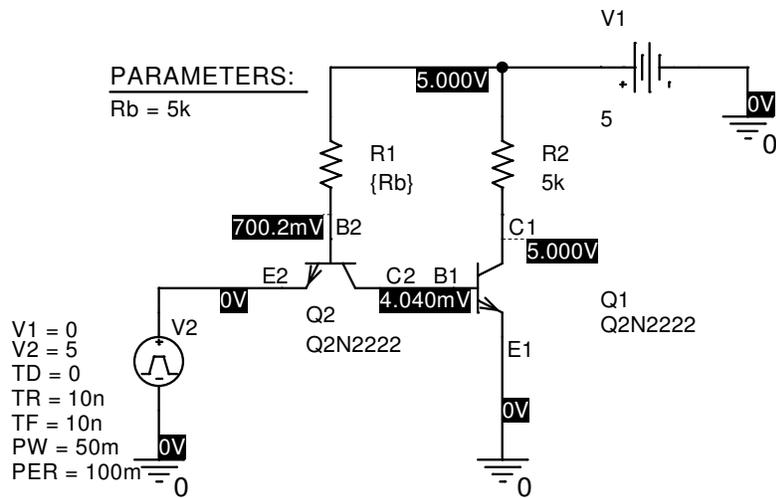


FIG. 12 – Polarisation du circuit pour  $V_e$  à l'état « bas ».

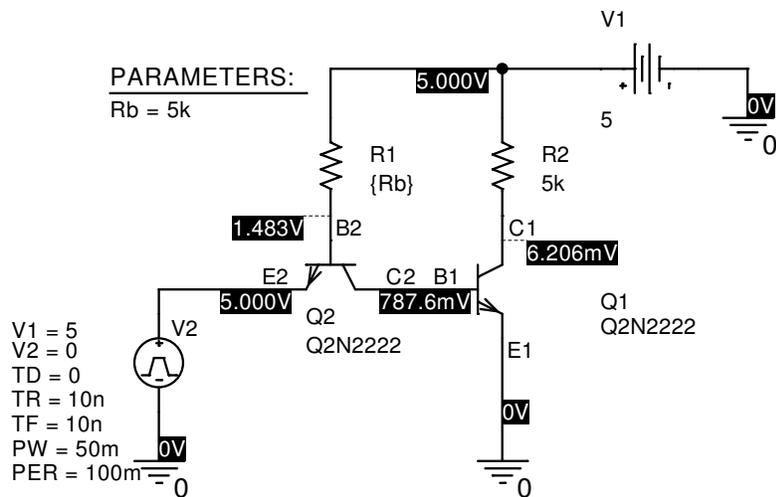
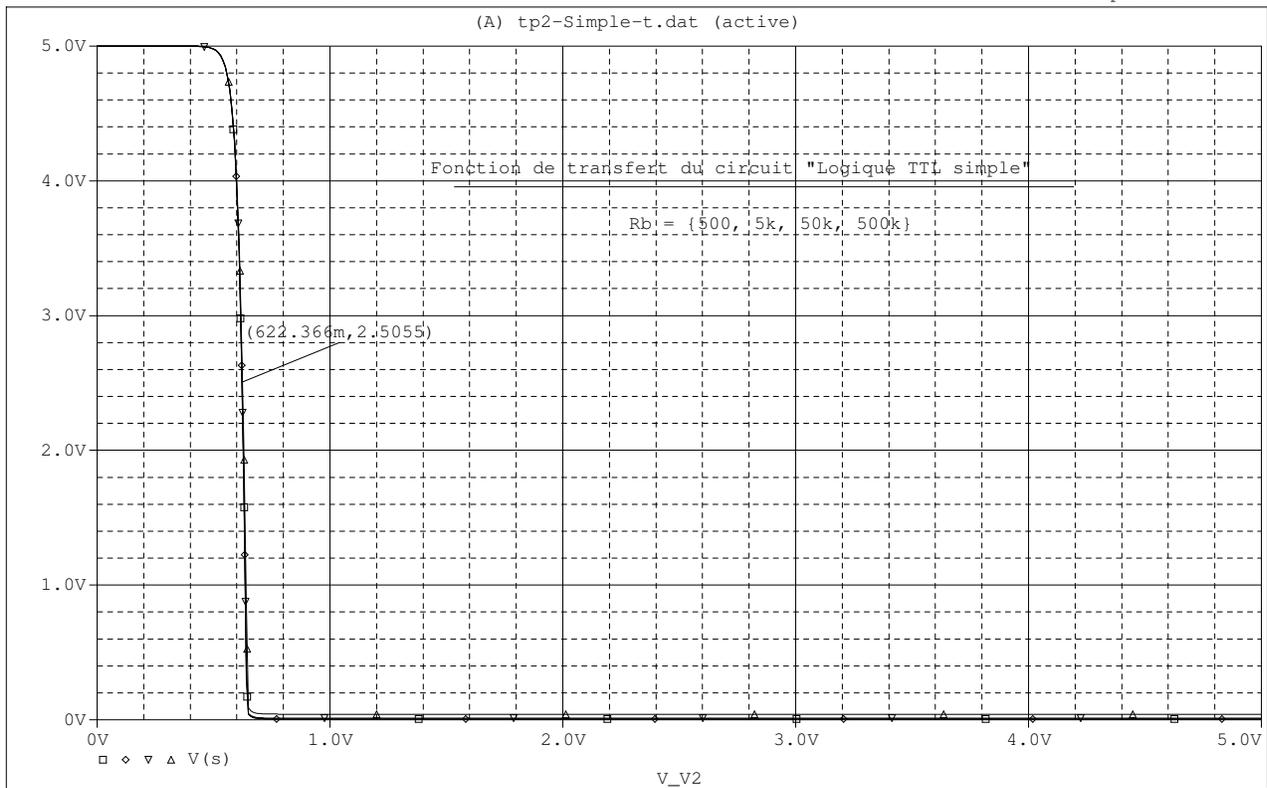


FIG. 13 – Polarisation du circuit pour  $V_e$  à l'état « haut ».

\*\* Profile: "Simple-t" [ C:\CAMSI\MS\tp2-Simple-t.sim ]  
Date/Time run: 10/06/04 14:52:21 Temperature: 27.0



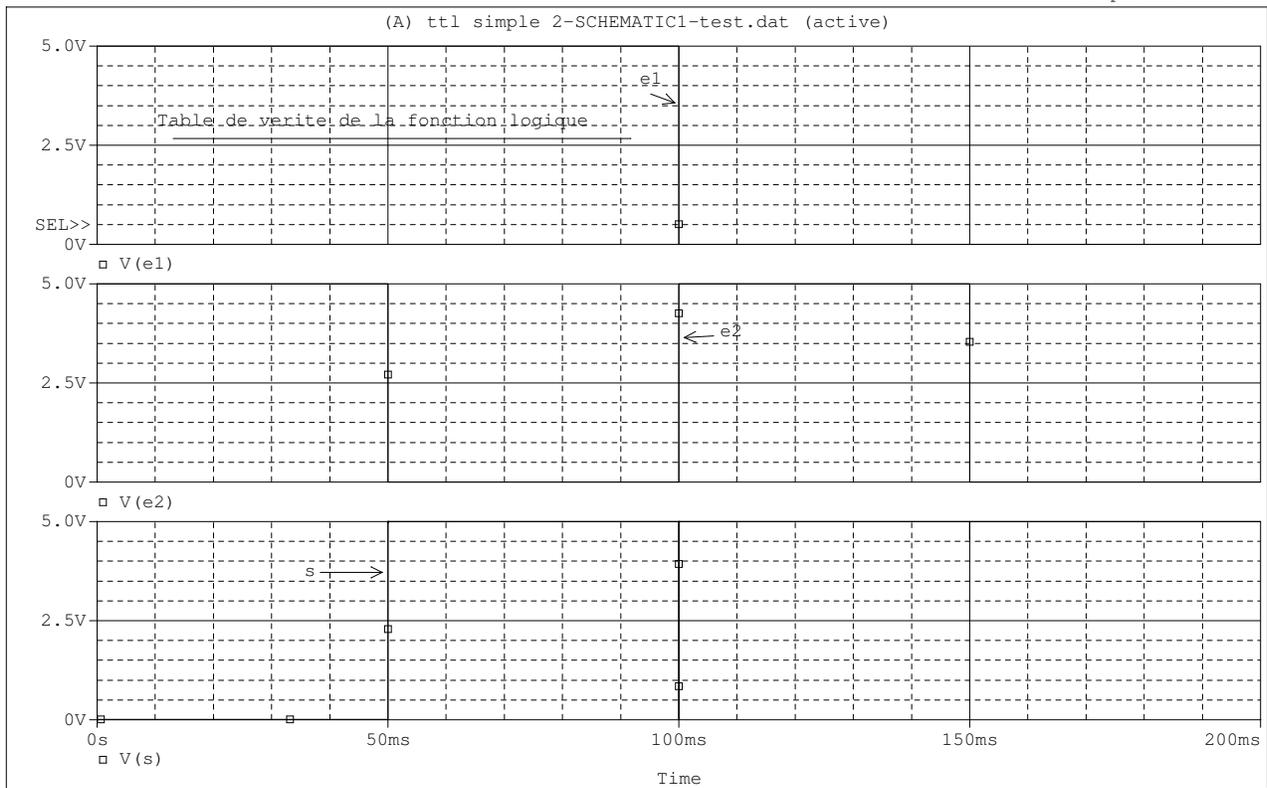
Date: October 06, 2004

Page 1

Time: 14:55:40

FIG. 14 – Fonction de transfert de notre inverseur TTL simple.

\*\* Profile: "SCHEMATIC1-test" [ C:\CAMSI\MS\TTL\_simple2\ttl simple 2-schematic1-test.sim ]  
 Date/Time run: 10/06/04 15:12:06 Temperature: 27.0



Date: October 06, 2004

Page 1

Time: 15:18:22

FIG. 15 – Analyse temporelle, table de vérité.

### 3.4 Fonction logique représentée

Nous observons la table de vérité suivante sur la figure 15 :

$e_1$	$e_2$	$S$
0	0	1
0	1	0
1	0	0
1	1	0

Il s'agit donc de la fonction « NOT AND » (NAND).

### 3.5 Conclusions

Comme nous pouvons le constater, nous utilisons un courant d'entrée très petit pour saturer le transistor  $T_1$  :  $I_{e_2} = \beta_r I_{b_2}$ , or on a :

$$I_{b_2} = \frac{V_{cc} - 2V_d}{R_c} = \frac{5 - 2 \times 0.7}{5000} = 0,72 \text{ mA} \quad (11)$$

donc  $I_{e_2} = 0,5 \times 72 \times 10^{-5} = 0,36 \text{ mA}$ .

L'intérêt de ce montage par rapport au précédent est que l'on consomme beaucoup moins, c'est à dire que l'entrance est plus faible. On pourra donc connecter plus de circuits de ce type en sortie d'une autre fonction logique.

## 4 Logique TTL « Totem Pole »

### 4.1 Introduction

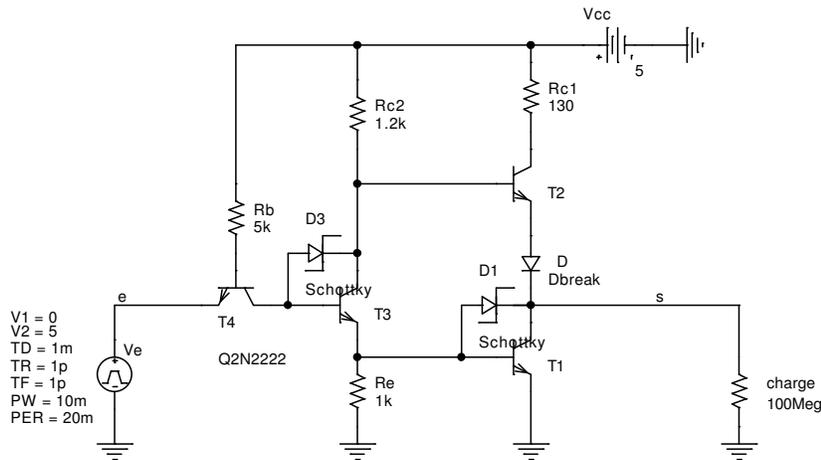


FIG. 16 – Schéma sous Orcad de notre inverseur TTL « Totem Pole ».

Ce montage propose une interface de sortie différente des précédents. Nous l'étudierons d'abord sans la présence des diodes de Schottky.

### 4.2 Polarisation

Pour calculer la polarisation de notre circuit, nous reprenons la même technique que précédemment, c'est à dire que nous posons un potentiel  $v$  à la base de  $T_4$ , puis nous appliquons la loi des mailles.

Nous avons alors les équations suivantes :

$$v = V_e + V_{be_4} \quad (12)$$

$$v = V_{bc_4} + V_{be_3} + V_{be_1} \Rightarrow v_{\max} = 3V_t \quad (13)$$

$$v = V_{bc_4} + V_{be_3} + V_{R_e} \Rightarrow V_{R_e} < V_t \quad (14)$$

$$V_{R_e} = V_{be_1} \quad (15)$$

Nous pouvons alors différencier plusieurs cas :

$V_e = 0$  :

$$v = V_{be_4} \leq V_t$$

$v = V_{bc_4} + V_{be_3} + V_{R_e} \leq V_t$ , alors  $BE_3$  et  $BC_4$  sont bloqués, donc  $T_3$  est bloqué,  $I_{c_3} = 0$  ce qui implique  $I_{R_e} = 0$ , le transistor  $T_1$  est bloqué. On a alors :

$$s = V_{cc} - R_{c_2}I_{b_2} - V_{be_2} - V_t \simeq V_{cc} - V_{be_2} - V_t = V_{cc} - 2V_t \quad (16)$$

$V_e < V_t$  :

$$v = e + V_{be_4} \leq 2V_t$$

$v = V_{bc_4} + V_{be_3} + V_{R_e} \leq 2V_t$ , on retrouve alors la même situation que précédemment.

$V_e = V_t$  :

$v = 2V_t$ , nous sommes alors en limite de l'état « haut »,  $T_3$  commence à conduire mais  $I_{e_3} = 0$ ,  $T_1$  est encore bloqué et  $T_2$  est passant. On a  $s = V_{cc} - 2V_t$

$V_t < V_e < 2V_t$  :

$$v = e + V_{be_4} > 2V_t$$

$v = V_{bc_4} + V_{be_3} + V_{R_e} < 3V_t$ , alors  $V_{bc_4} + V_{be_3} = 2V_t$  donc  $T_3$  conduit, mais on a toujours  $V_{R_e} < V_t$  donc  $T_1$  est bloqué.

$V_e \rightarrow 2V_t$  :

$$v = e + V_{be_4} \rightarrow 3V_t$$

$v = V_{bc_4} + V_{be_3} + V_{R_e} \rightarrow 3V_t$ , alors  $V_{R_e} \rightarrow V_t$  et  $I_{c_3} \approx I_{e_3} \rightarrow V_t/R_e$  ce qui implique :

$$V_{R_{c_2}} = I_{c_3}R_{c_2} = V_tR_{c_2}/R_e \quad (17)$$

$V_e > 2V_t$  :

$$v = e + V_{be_4} = 3V_t$$

$$v = V_{bc_4} + V_{be_3} + V_{R_e} = 3V_t, \text{ alors } V_{R_e} = V_t$$

$$v = V_{bc_4} + V_{be_3} + V_{be_3} = 3V_t, \text{ alors les transistor } T_1 \text{ et } T_3 \text{ conduisent, et } T_4 \text{ fonctionne en inverse.}$$

Regardons donc l'état des transistors, pour cela nous prenons les valeurs données suivantes :

$$R_b = 4 \text{ k}\Omega$$

$$R_{c_2} = 1,2 \text{ k}\Omega$$

$$R_e = 1 \text{ k}\Omega$$

Dans un premier temps, nous avons :

$$I_{b_4} = \frac{V_{cc} - 3V_t}{R_b} = \frac{5 - 1,8}{4 \times 10^3} \simeq 0,8 \text{ mA} \quad (18)$$

$$I_{b_3} = I_{c_4} = (\beta_r + 1)I_{b_4} \simeq (0,5 + 1)0,8 \simeq 1,2 \text{ mA} \quad (19)$$

$$I_{c_3}^{\text{lin}} = \beta_f I_{b_3} = 560 \text{ mA} \gg I_{c_3}^{\text{max}} \quad (20)$$

Donc  $T_3$  est saturé, et  $V_{ce_3} \simeq 0,1 \ll V_t$ .

D'après la loi de noeud, on a :

$$I_{b1} = I_{e4} - I_{R_e} = I_{c4} + I_{b4} - I_{R_e} \quad (21)$$

or  $I_{c4} < 5 \times 10^{-3}$ ,  $I_{b4} \simeq 0,8 \times 10^{-3}$  et  $I_{b1} \simeq 5 \times 10^{-3}$ , on a donc :

$$I_{b1} \simeq 5 \times 10^{-3} \quad (22)$$

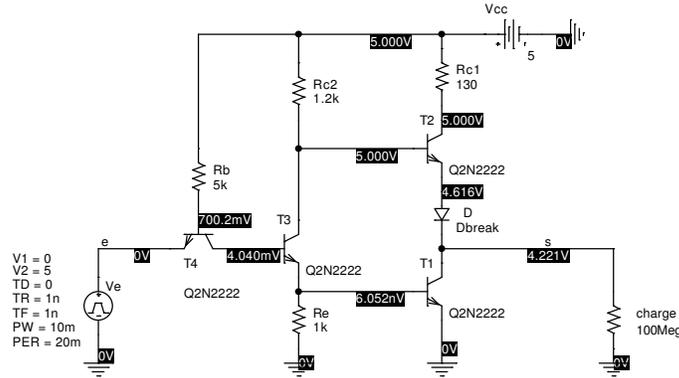


FIG. 17 – Etat des transistors pour  $V_e = 0$ .

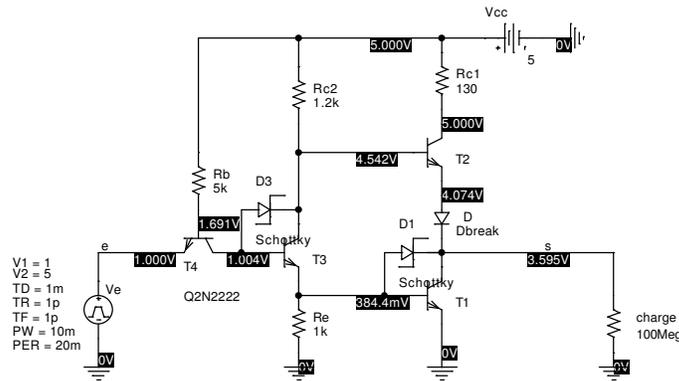


FIG. 18 – Etat des transistors pour  $V_t < V_e < 2V_t$ .

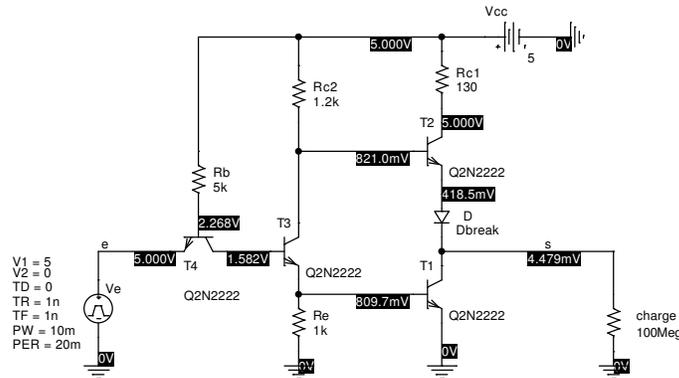


FIG. 19 – Etat des transistors pour  $V_e > 2V_t$ .

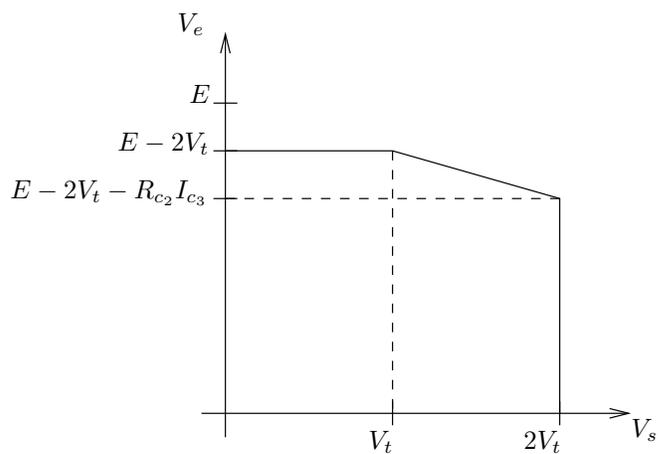
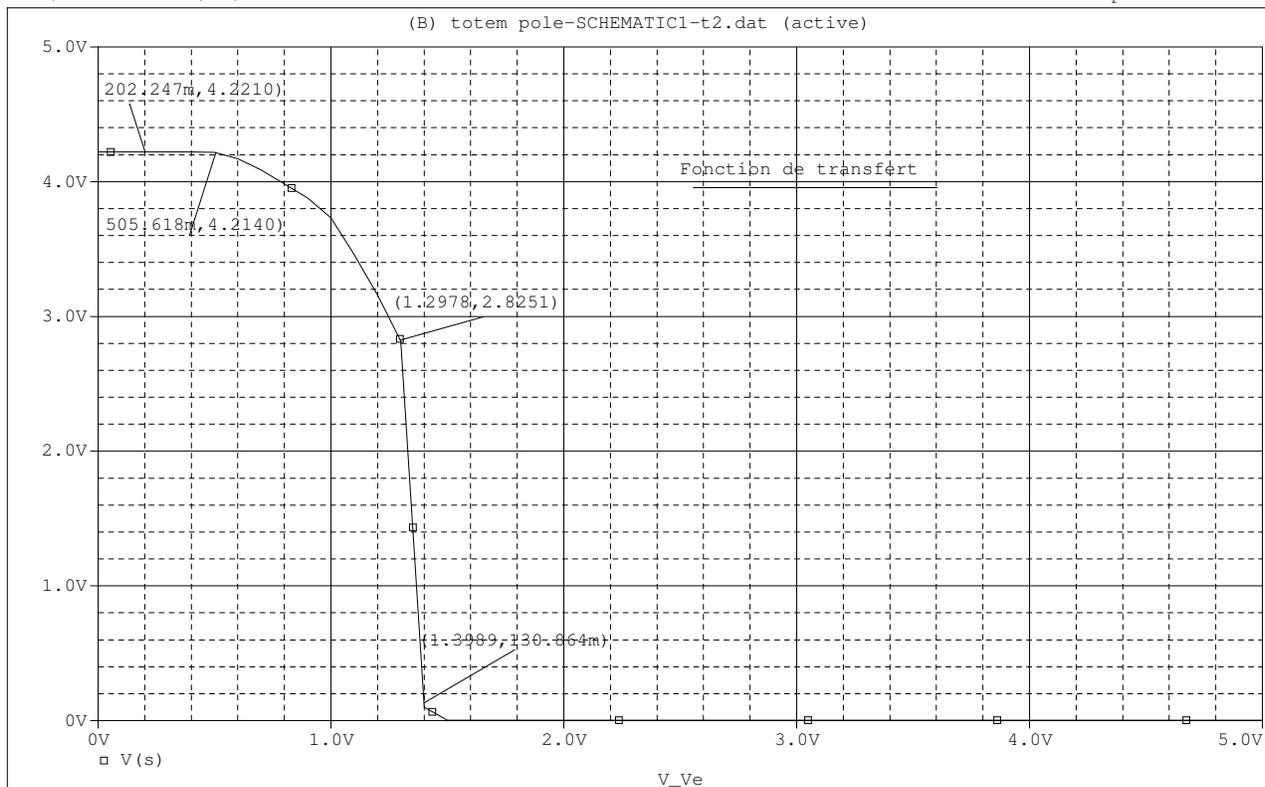


FIG. 20 – Fonction de transfert calculée.

\*\* Profile: "SCHEMATIC1-t2" [ C:\CAMSI\MS\TTL\_TotemPole\totem pole-SCHEMATIC1-t2.sim ]  
 Date/Time run: 10/06/04 16:46:59 Temperature: 27.0



Date: October 06, 2004

Page 1

Time: 16:51:52

FIG. 21 – Fonction de transfert obtenue.

### 4.3 Etude de la fonction de transfert

La figure 20 est la fonction de transfert théorique que nous avons obtenue à la section 4.2. Nous voyons qu'elle est très proche de la fonction de transfert obtenue en simulation à la figure 21, on y retrouve les points particuliers à  $V_e = 0,5 \simeq V_t$  et  $V_e = 1,2 \simeq 2V_t$ .

### 4.4 Analyse temporelle

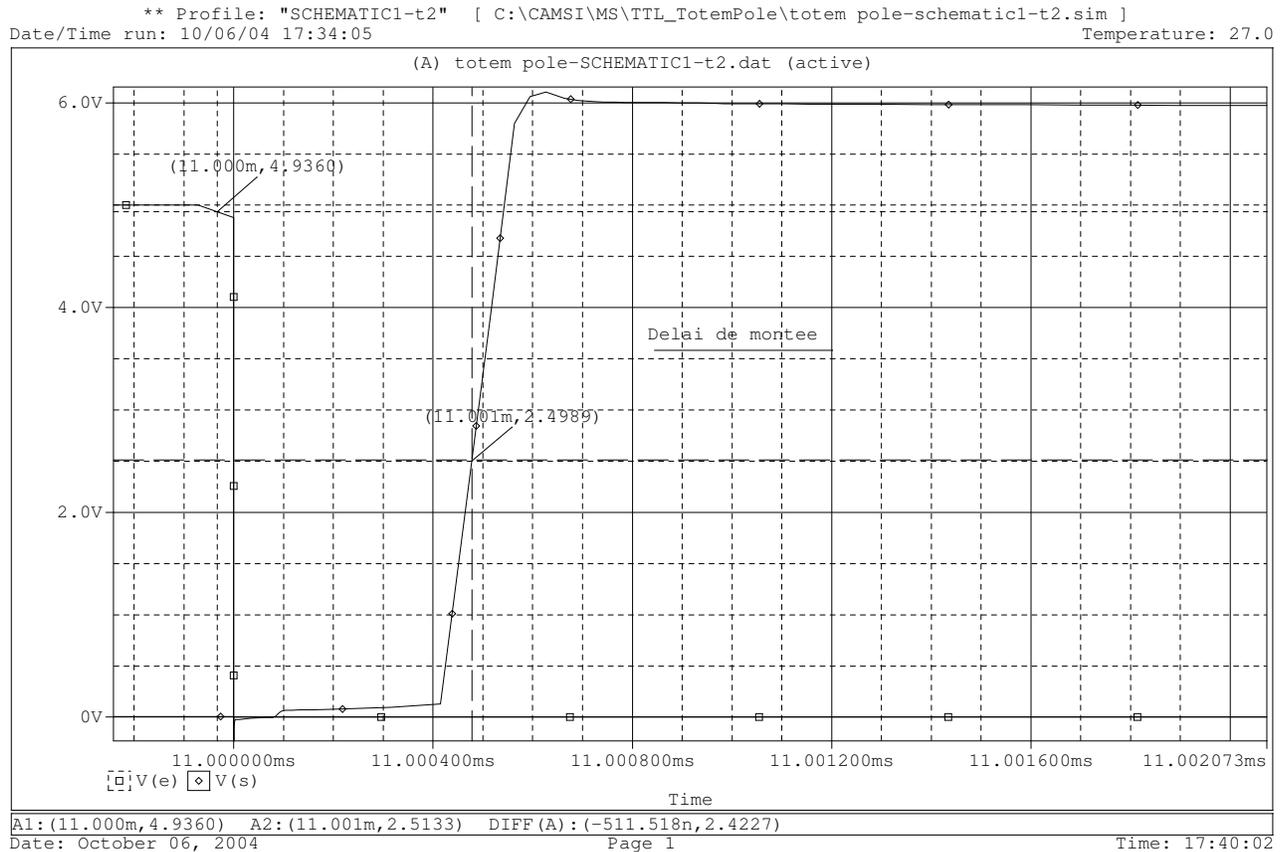


FIG. 22 – Délai de réaction en monté.

La figure 22 nous montre le délai de réaction au front montant de notre montage, il est de 511 ns.

Les figures 23 et 24 nous montre les temps de descente et de monté. Comme pour le circuit précédent, le temps de descente est plus rapide que le temps de monté. Cependant la différence est ici beaucoup plus prononcée, avec un rapport d'environ 264. Le temps de descente est de 435 ps alors que le temps de monté est de 115 ns.

#### 4.4.1 Avec diode Schottky

Pour améliorer le temps de monté du circuit, une diode de schottky placée entre la base et l'émetteur afin de *dé-saturer* le transistor beaucoup plus vite.

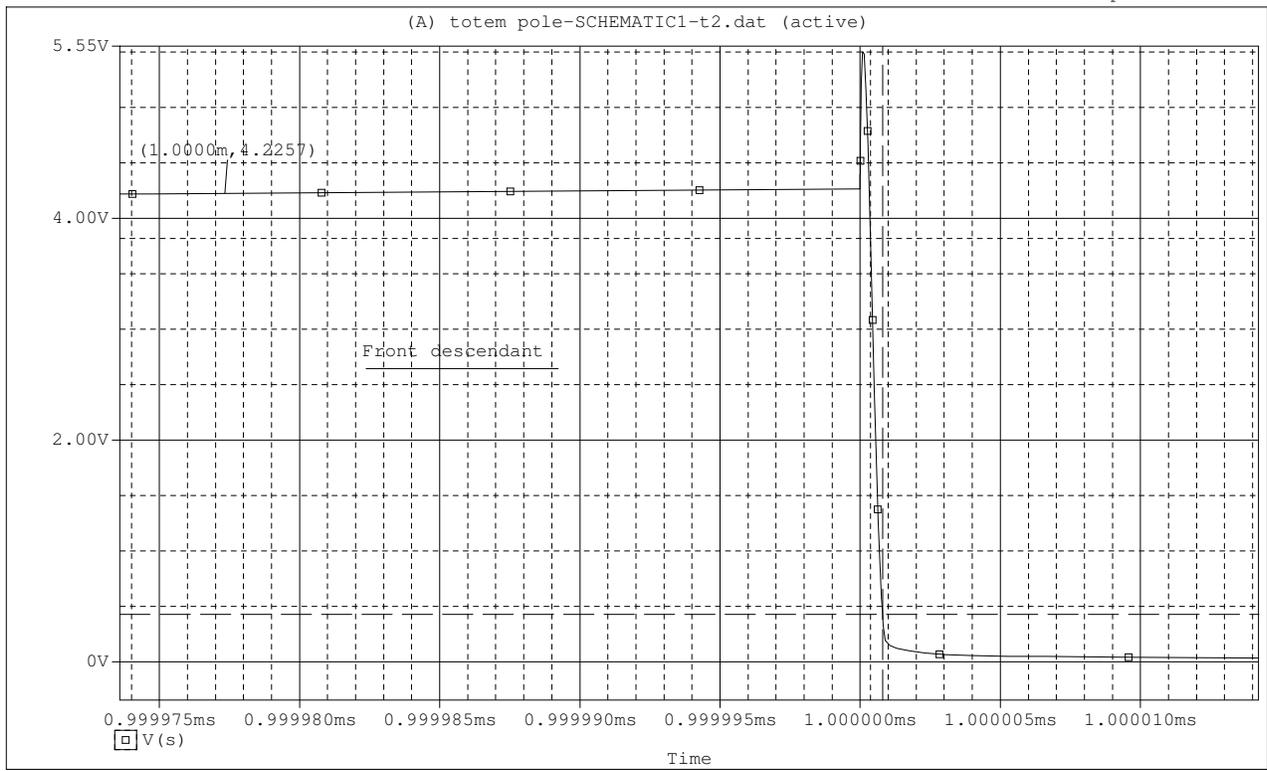
La figure 25 montre la nette amélioration puisque le temps de monté passe à 30 ns. Cependant, il reste largement plus lent que le temps de descente, d'un facteur 70 environ.

Le délai est lui aussi amélioré, mais moins nettement, puisqu'il passe de 511 à 427ns.

### 4.5 Analyse des niveaux logiques

La figure 27 montre la manière de déterminer la marge de gain. Grâce au tracé de la dérivé de la sortie, on observe le gain du circuit. Pour un circuit idéal, ce gain est infini et la transition est nette et

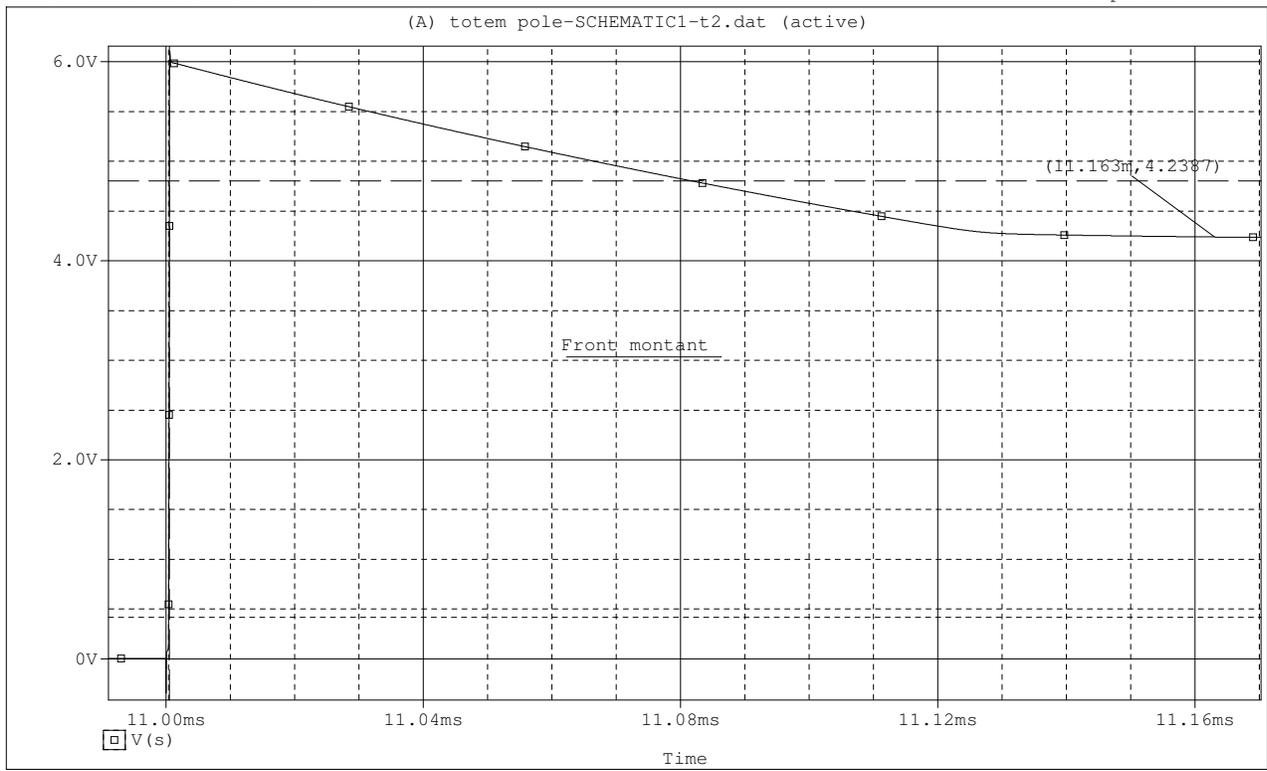
\*\* Profile: "SCHEMATIC1-t2" [ C:\CAMSI\MS\TTL\_TotemPole\totem pole-schematic1-t2.sim ]  
 Date/Time run: 10/06/04 17:22:51 Temperature: 27.0



A1: (1.0000m, 3.8184) A2: (1.0000m, 429.511m) DIFF(A): (-435.174p, 3.3889)  
 Date: October 06, 2004 Page 1 Time: 17:25:50

FIG. 23 – Temps de descente.

\*\* Profile: "SCHEMATIC1-t2" [ C:\CAMSI\MS\TTL\_TotemPole\totem pole-schematic1-t2.sim ]  
Date/Time run: 10/06/04 17:25:58 Temperature: 27.0

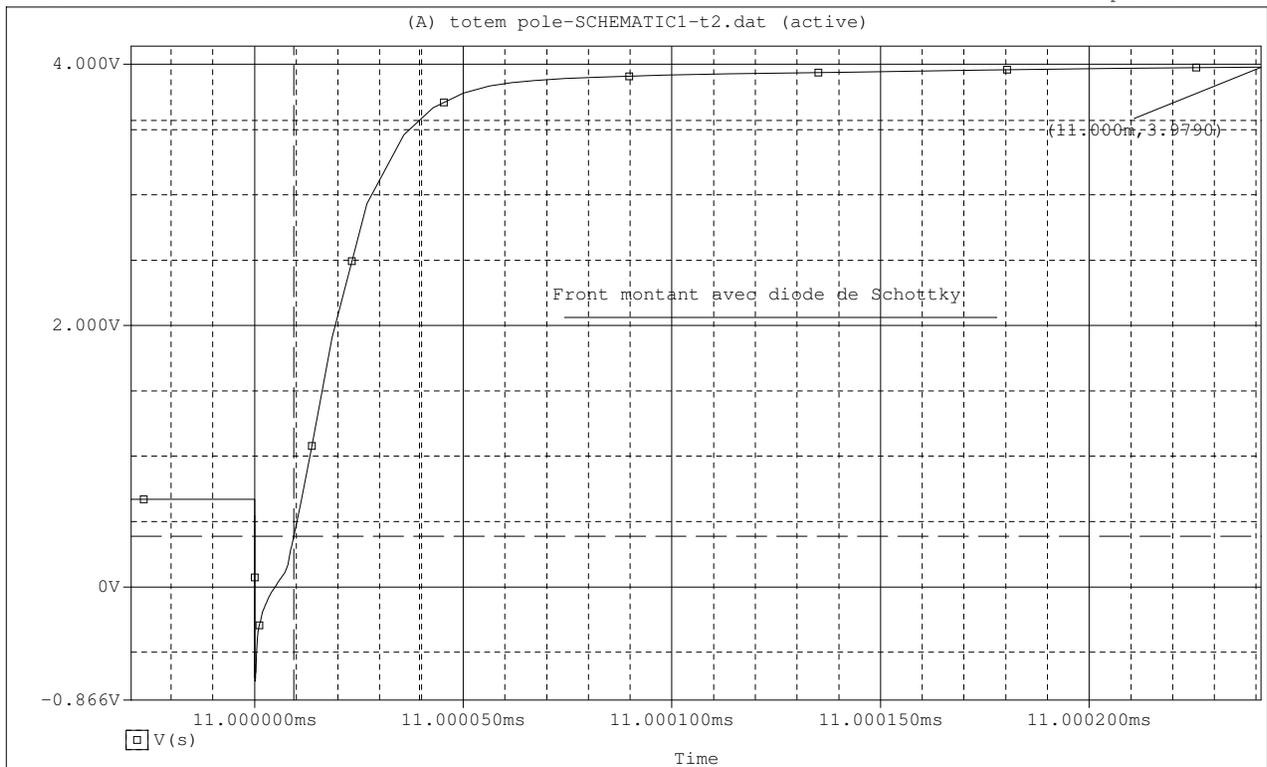


A1: (11.000m, 418.630m) A2: (11.001m, 4.8039) DIFF(A): (-115.118n, -4.3853)  
Date: October 06, 2004 Page 1

Time: 17:28:50

FIG. 24 – Temps de monté.

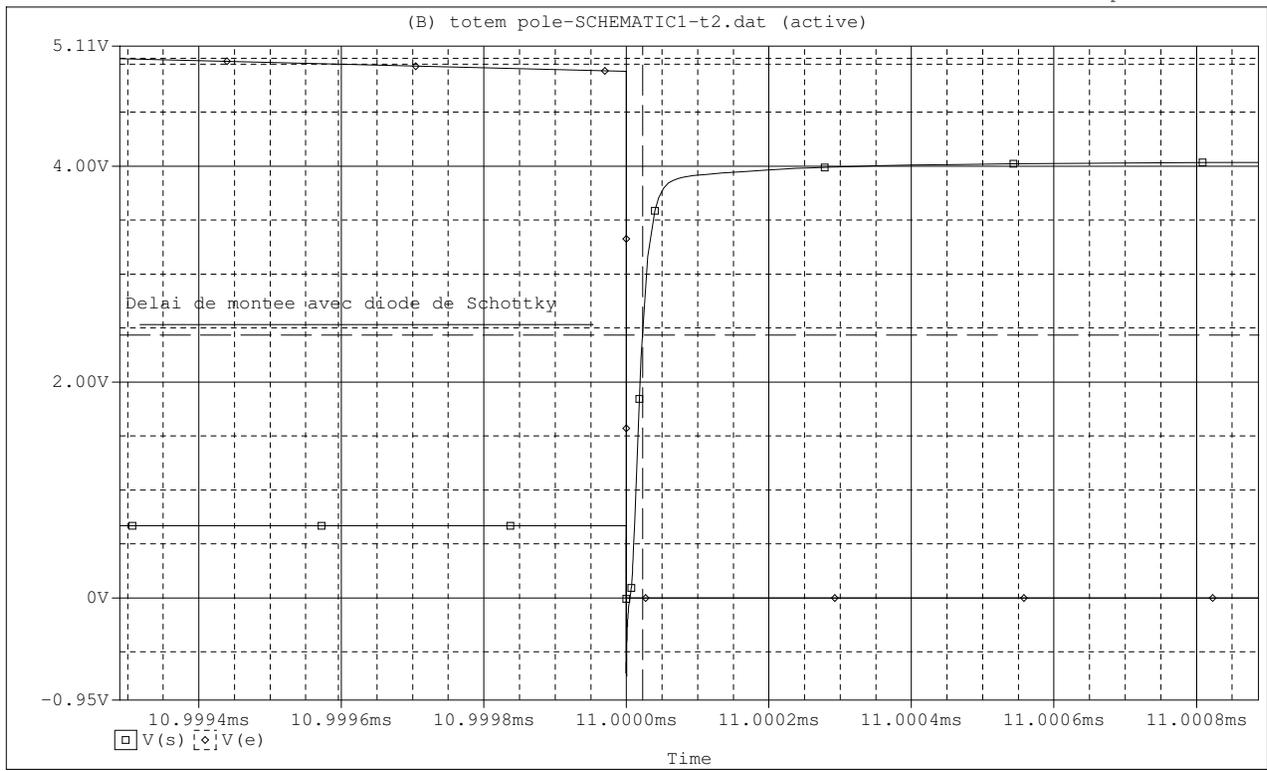
\*\* Profile: "SCHEMATIC1-t2" [ C:\CAMSI\MS\TTL\_TotemPole\totem pole-schematic1-t2.sim ]  
 Date/Time run: 10/07/04 08:18:01 Temperature: 27.0



A1: (11.000m, 3.5701) A2: (11.000m, 388.400m) DIFF(A): (30.126n, 3.1817)  
 Date: October 07, 2004 Page 1 Time: 08:23:35

FIG. 25 – Temps de monté avec diode Schottky.

\*\* Profile: "SCHEMATIC1-t2" [ C:\CAMSI\MS\TTL\_TotemPole\totem pole-schematic1-t2.sim ]  
 Date/Time run: 10/07/04 14:18:47 Temperature: 27.0



B1: (11.000m, 4.9465) B2: (11.000m, 2.4337) DIFF(B): (-427.150n, 2.5128)  
 Date: October 07, 2004 Page 1

Time: 14:20:47

FIG. 26 – Délai avec diode Schottky.

brutale. Pour ce circuit, le gain maximum est de  $-63$ . Deux point particuliers : lorsque la dérivé vaut  $-1$ . Les deux valeurs correspondantes sont  $0,7\text{ V}$  et  $1,2\text{ V}$ . Cela signifie que les niveaux logiques bas ne peuvent pas dépasser  $0,7\text{ V}$  et que les niveaux logiques haut ne peuvent pas passer en dessous de  $1,2\text{ V}$ . Cette constatation montre que la répartition n'est pas parfaite et que la marge de gain est asymétrique. En effet, le niveau logique haut est plus tolérant au bruit.

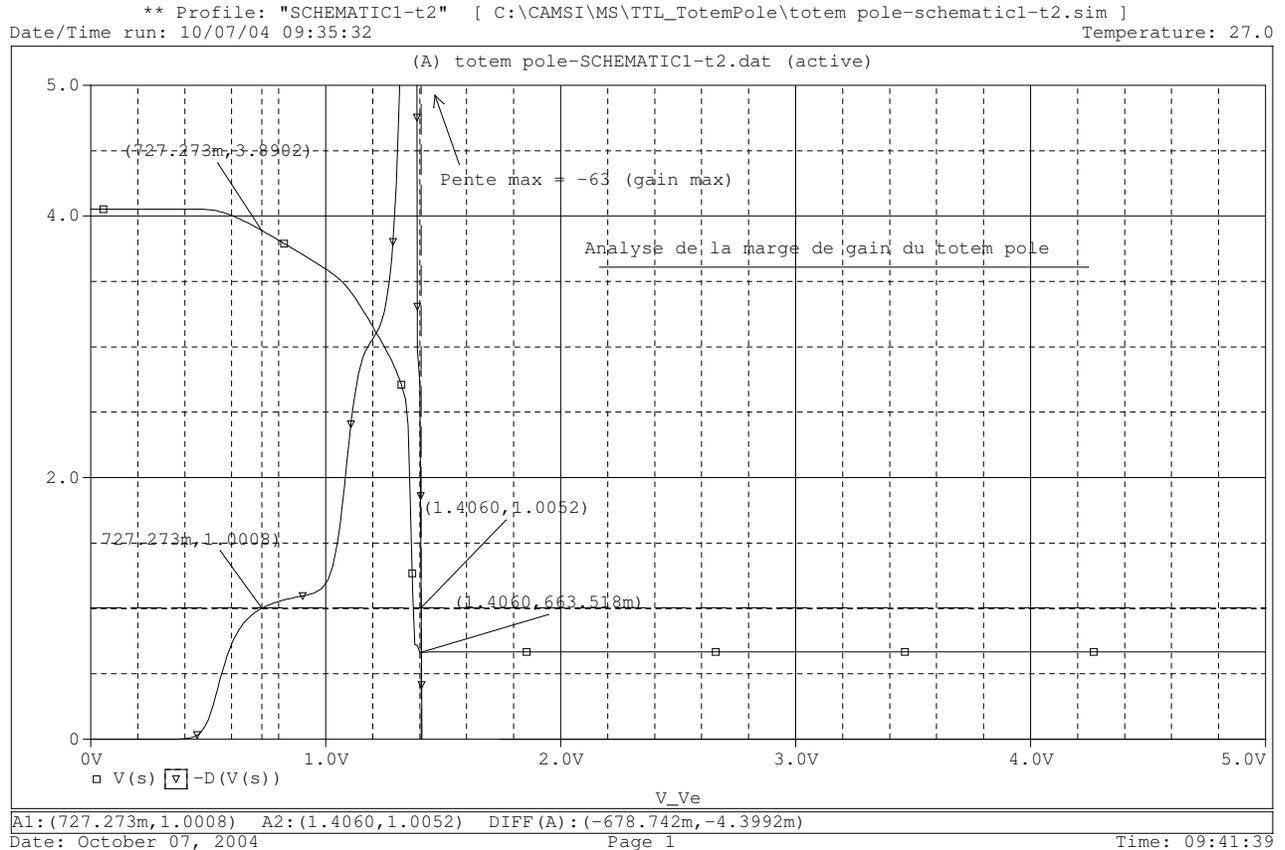


FIG. 27 – Marge de gain.

Avec ces valeurs, nous pouvons déterminer la sortance de notre fonction logique. En effet, nous savons quelles valeurs critiques la tension de sortie ne doit pas dépasser. Aussi, d'après l'expression de la tension de sortie en fonction du nombre de cellules TTL branchées en sortie, nous pouvons constater le maximum tolérable. La figure 28 montre cette relation.

On voit que la tension de sortie de notre circuit reste à zéro lorsqu'aucune cellule n'est connectée en sortie. Par contre, au fur et à mesure que le nombre de cellules connectées en sortie augmente, la tension de sortie de notre circuit augmente. Ce phénomène est du aux courants qui proviennent des circuits d'entrée des cellules connectées. Aussi, la tension ne doit pas dépasser la limite définie par la marge de gain, c'est à dire  $V_t \simeq 0,7$ . D'après la courbe, 30 cellules sont un maximum théorique.

## 5 Amplificateur à transistor à couplages capacitifs

### 5.1 Introduction

Dans ce montage et dans les suivants, nous allons utiliser le transistor bipolaire dans un cadre différent. Dans les circuits précédents, le transistor était utilisé comme un *interrupteur ouvert* (bloqué) ou *fermé* (saturé). A présent, nous polariserons les transistor en un point de fonctionnement, puis nous le feront travailler *autour* de ce point. Nous allons donc utiliser des modèles et des propriétés du transistor nouvelles.

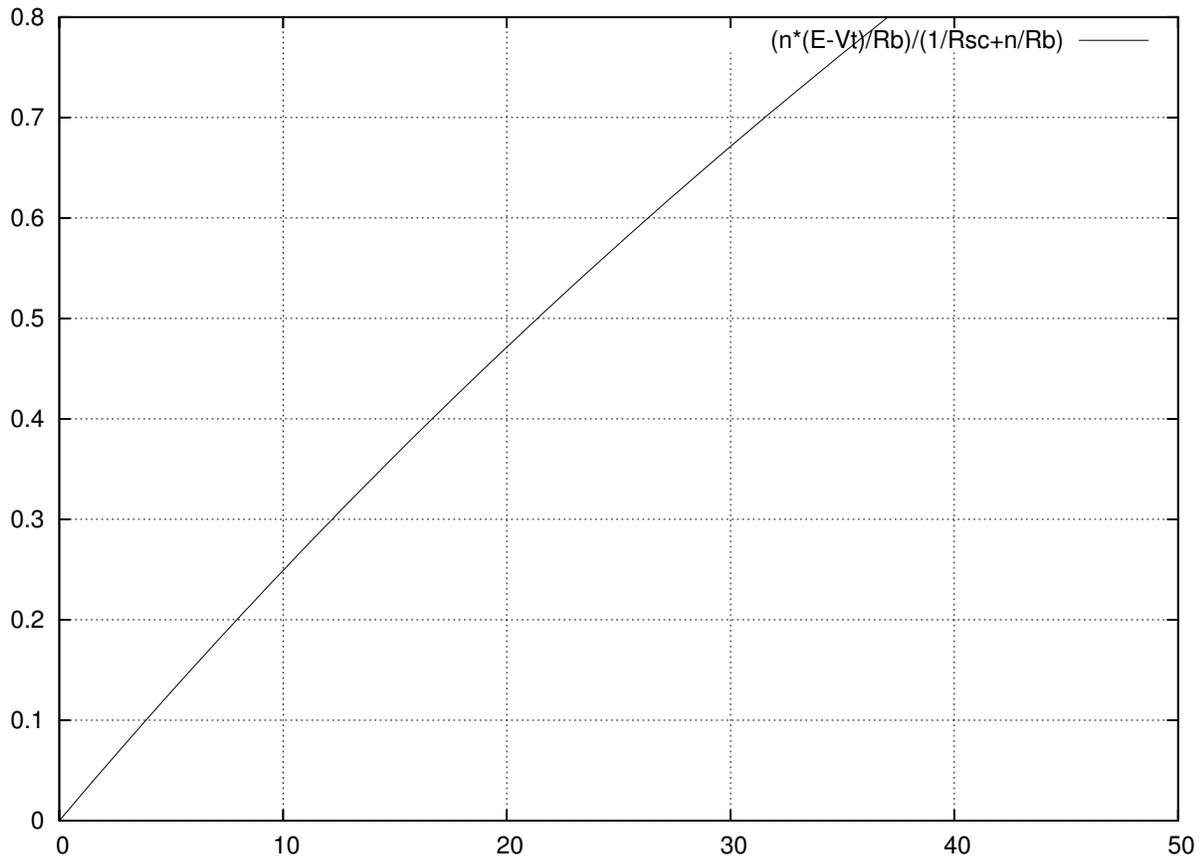


FIG. 28 – Sortance.

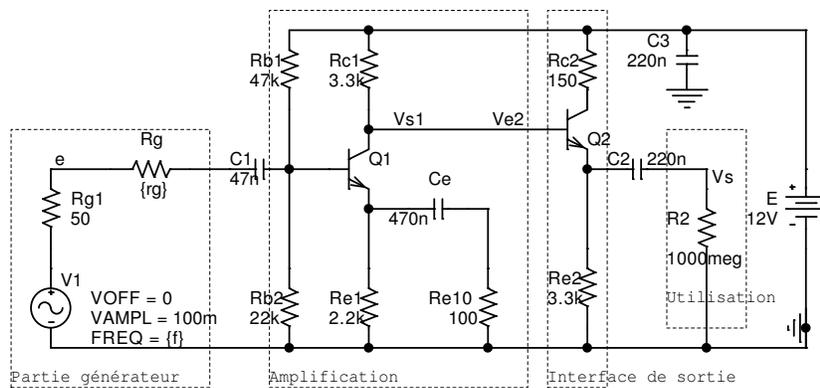


FIG. 29 – Schéma sous Orcad de notre amplificateur à transistor à couplages capacitifs

Ce circuit est composé de plusieurs parties. D'abord, la partie *générateur* qui permet de générer les stimuli d'entrée. Ensuite, un étage d'*amplification* avec un transistor bipolaire monté en *émetteur commun*. Enfin, un circuit de sortie permet de faire une adaptation d'impédance pour la sortie : un transistor bipolaire monté en *suiveur*. Ce dernier, qui a un gain proche de 1, permet d'isoler l'étage d'amplification de la charge et de présenter une résistance de sortie très faible.

Les capacités que l'on peut voir sur la figure 29 sont présentes afin de supprimer la composante continue éventuelle du signal, afin de ne pas modifier la polarisation de notre montage.

## 5.2 Analyse fréquentielle

\*\* Profile: "SCHEMATIC1-bande-passante" [ C:\CAMSI\MS\Ampli\_couplage\_actif\ampli\_couplage\_actif-schematic1-...  
Date/Time run: 10/07/04 09:45:50 Temperature: 27.0

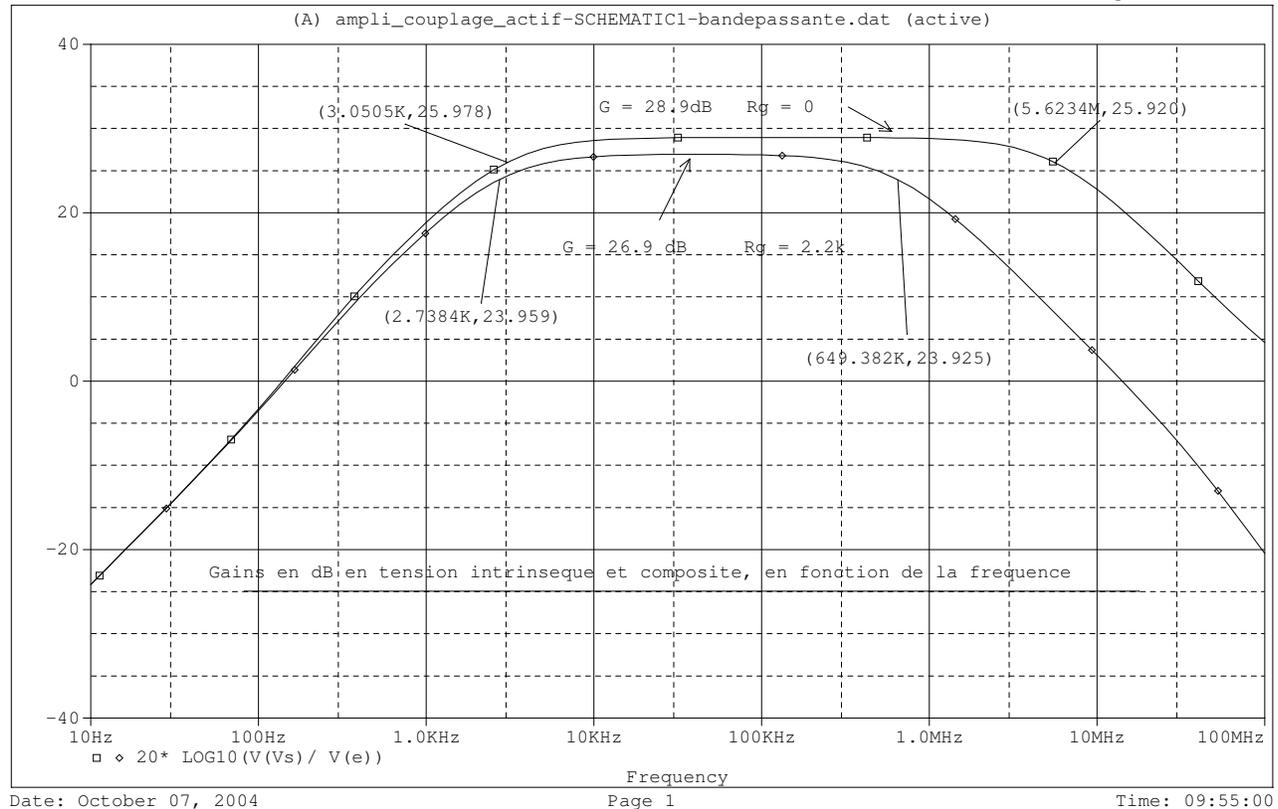


FIG. 30 – Gains de notre amplificateur à transistor à couplages capacitifs.

Comme nous le voyons à la figure 30,  $R_g$  modifie la constante de temps et agit sur la fréquence de coupure haute.

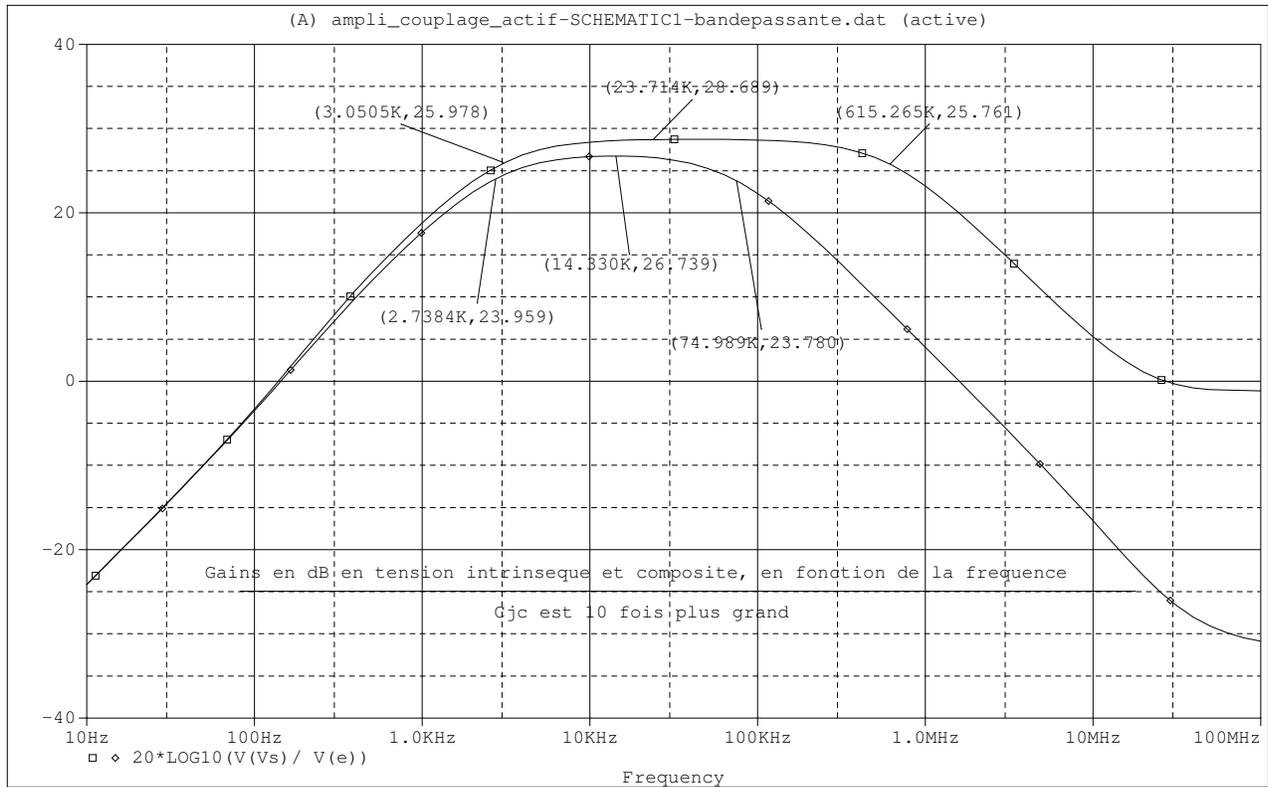
La figure 31 nous montre que la capacité  $C_{jc}$  influe sur la fréquence de coupure haute. Pour  $C_{jc}$  augmenté d'un facteur 10, on voit sur cette figure que la fréquence de coupure est diminuée d'un facteur 10. Par contre  $C_{je}$  n'influe pas.

L'apparente importance de ce paramètre sur la fréquence de coupure nous semble justifier la différence entre la fréquence de coupure obtenue à la simulation et celle obtenue en mesures expérimentales. Nous pensons que le  $C_{jc}$  du transistor utilisé pour la simulation est différent de celui utilisé dans la pratique.

## 5.3 Réponse à un signal « carré »

Pour étudier la réponse à un signal carré, nous choisissons une fréquence moyenne suffisamment élevée pour mesurer les temps de montée et de descente de la tension de sortie. Autrement dit, pour mesurer ces temps sur le signal de sortie, il faut que ce dernier soit un signal carré. C'est à dire qu'il faut

\*\* Profile: "SCHEMATIC1-bande-passante" [ C:\CAMSI\MS\Ampli\_couplage\_actif\ampli\_couplage\_actif-schematic1-...  
 Date/Time run: 10/07/04 10:09:28 Temperature: 27.0

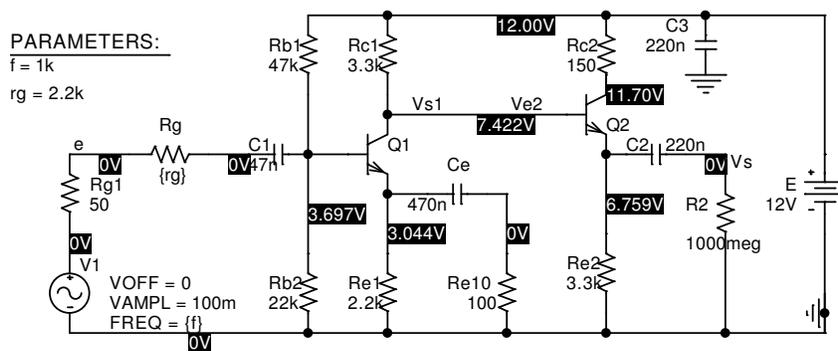


Date: October 07, 2004

Page 1

Time: 10:13:16

FIG. 31 – Gains en fonction de  $C_{jc}$ .



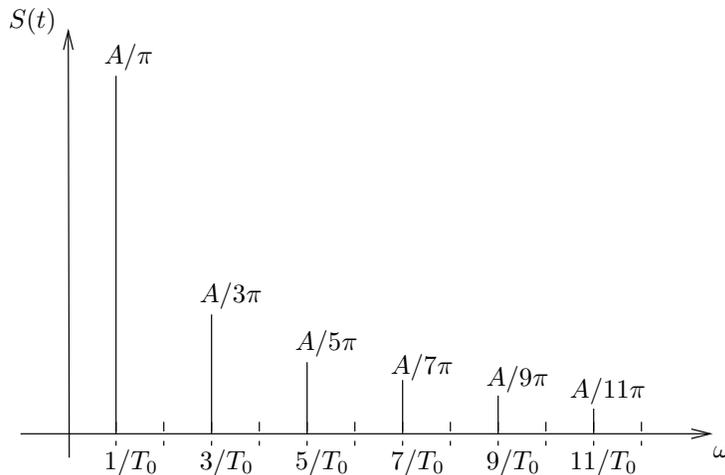


FIG. 33 – Spectre fréquentiel d'un signal carré.

que le maximum d'harmoniques du signal d'entrée soient présente en sortie. C'est cette condition qui nous permet de choisir les fréquences moyennes.

La figure 33 nous montre le poids des harmoniques et de la fondamentale d'un signal carré. Nous choisissons une fréquence  $f$  qui correspond à la fréquence de la fondamentale, tel que  $f$  est la *première*<sup>7</sup> des fréquences non filtrées par notre circuit.

La fréquence de coupure basse étant de 3 kHz, nous choisissons une fréquence de 5 kHz. De cette manière nous auront un maximum d'harmoniques transmises. Cependant par mesures expérimentales, nous avons choisi  $f$  de manière à ce que le signal de sortie soit le plus carré possible à l'oeil, car le résultat obtenue à 5kHz était loin de ce que nous attendions.

Nous avons donc remplie le tableau 5 de l'énoncé à une fréquence de 275 kHz pour  $R_g = 0$ , et une fréquence de 70 kHz pour  $R_g = 2,2 \text{ k}\Omega$ .

Nous avons été étonné par la médiocrité du signal carré obtenu en sortie pour une fréquence de la fondamentale à 5kHz. De plus, les valeurs de 275kHz et 70kHz nous ont parue grandes et injustifiables. Mais à présent, nous remarquons que ces fréquences ne donne pas le meilleur signal carré par hasard : elle correspondent aux milieux des deux bandes passantes observées. Aussi, cette expérience nous montre que les fréquences proches des fréquences de coupures, même *côté plateau*, sont atténuées.

Sur le tableau 4 de l'énoncé, on peut faire plusieurs remarques pour expliquer l'allure des signaux obtenus.

D'abord, les figures 34 et 35 montrent les réponses à un échelon d'un intégrateur et d'un différentiateur.

On remarque alors sur le tableau 4 de l'énoncé que le signal carré en sortie est déformé de manières différentes selon la fréquence de sa fondamentale et de la valeur de la résistance  $R_g$ . Cependant, ses modification le font tendre vers des formes qui s'approche, selon les cas, de la réponse d'un intégrateur ou d'un différentiateur.

Plus précisément, les déformation dépendent de la fréquence de la fondamentale du signal carré et de la bande passante du circuit<sup>8</sup>.

Lorsque la fréquence de la fondamentale est au milieu de la bande passante, on a le meilleur signal carré en sortie. C'est le cas quand  $f = 100 \text{ kHz}$  et  $R_g = 0$ .

Lorsque la fréquence de la fondamentale s'approche de la fréquence de coupure basse de la bande passante, on retrouve dans le signal de sortie un effet *passé bas* et le signal ressemble alors à la réponse d'un intégrateur. C'est le cas quand  $f = 10 \text{ kHz}$ .

Lorsque la fréquence de la fondamentale s'approche de la fréquence de coupure haute, on retrouve dans le signal de sortie un effet *passé haut* et le signal ressemble alors à la réponse d'un différentiateur<sup>9</sup>. C'est le cas quand  $f = 500 \text{ kHz}$ .

<sup>7</sup> par ordre croissant.

<sup>8</sup> la fréquence de coupure haute de cette bande passante dépend de  $R_g$

<sup>9</sup> dérivateur

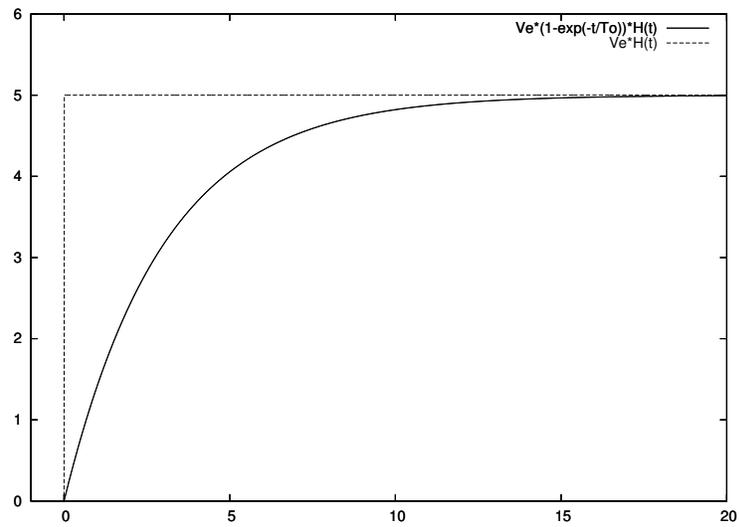


FIG. 34 – Intégrateur.

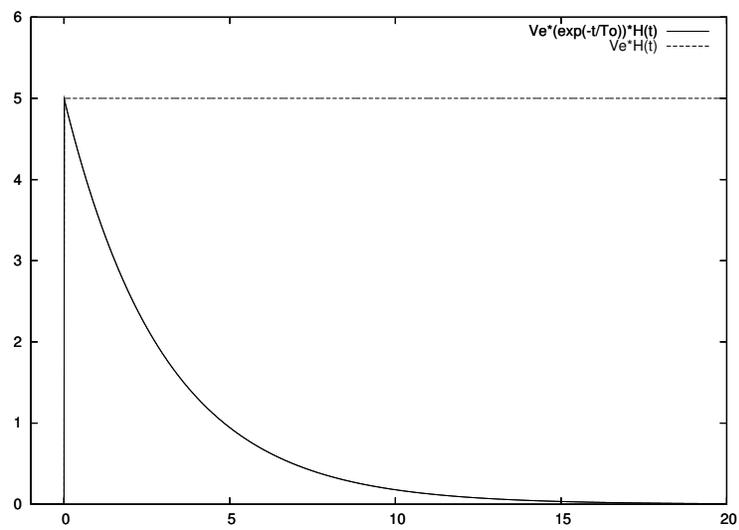


FIG. 35 – Différenciateur.

## 6 Amplificateur différentiel à émetteur couplés

### 6.1 Introduction

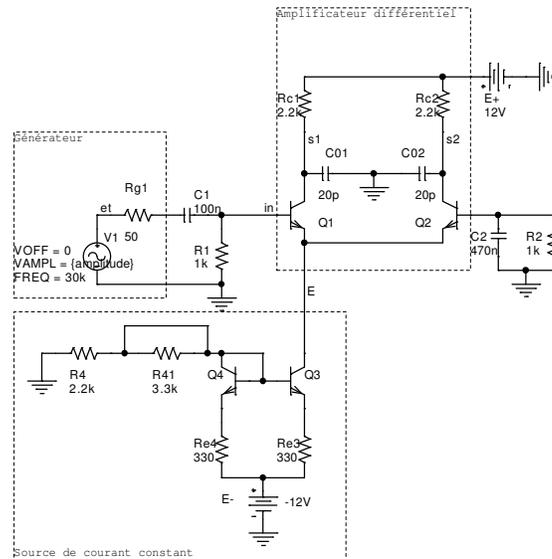


FIG. 36 – Schéma sous Orcad de notre amplificateur différentiel à émetteur couplés

La figure 36 nous montre notre schéma sous Orcad.

On distingue plusieurs parties dans ce circuit. On retrouve un générateur de signaux d'entrées comme dans les circuit précédent. Ensuite, la partie d'amplification différentiel avec deux branches symétriques avec des transistors bipolaire. Ces derniers doivent d'ailleurs avoir les mêmes caractéristiques<sup>10</sup>. Enfin, une partie permet de générer un courant constant. Cette partie est réalisée avec un montage de transistors appelé *miroir de courant*. Cette partie nécessite elle aussi des transistors *jumeaux*.

Pour la suite nous prenons  $V_d$  (la tension différentielle en entrée) est égale à  $V_e(t)$  puisque l'on impose une tension nulle sur la deuxième entrée.

### 6.2 Analyse temporelle

Sur la figure 37, on observe les tensions  $V_{s1}$ ,  $V_{s2}$  et  $V_d$ . On voit que  $V_{s1}$  et  $V_{s2}$  sont décalé de  $\pm\pi/2$ , c'est à dire que lorsque l'une augmente, l'autre descend. De la même manière, le courant  $I$  va se répartir dans les deux branches alternativement, comme pour une balance.

La figure 37, nous présente la réponse du circuit pour un signal d'entrée de forte amplitude. Nous observons des distorsion très importantes. Cela est du à la saturation de l'amplificateur différentiel qui ne peux pas fournir des tensions supérieur à celles de ses alimentations.

La figure 39 nous montre les tensions différentielles de sorties correspondant aux tensions différentielles d'entrée.

La figure 40 nous montre les fréquences de coupure haute et basse.

La figure 41 nous montre les points de polarisation.

### 6.3 Modulation d'amplitude d'une porteuse

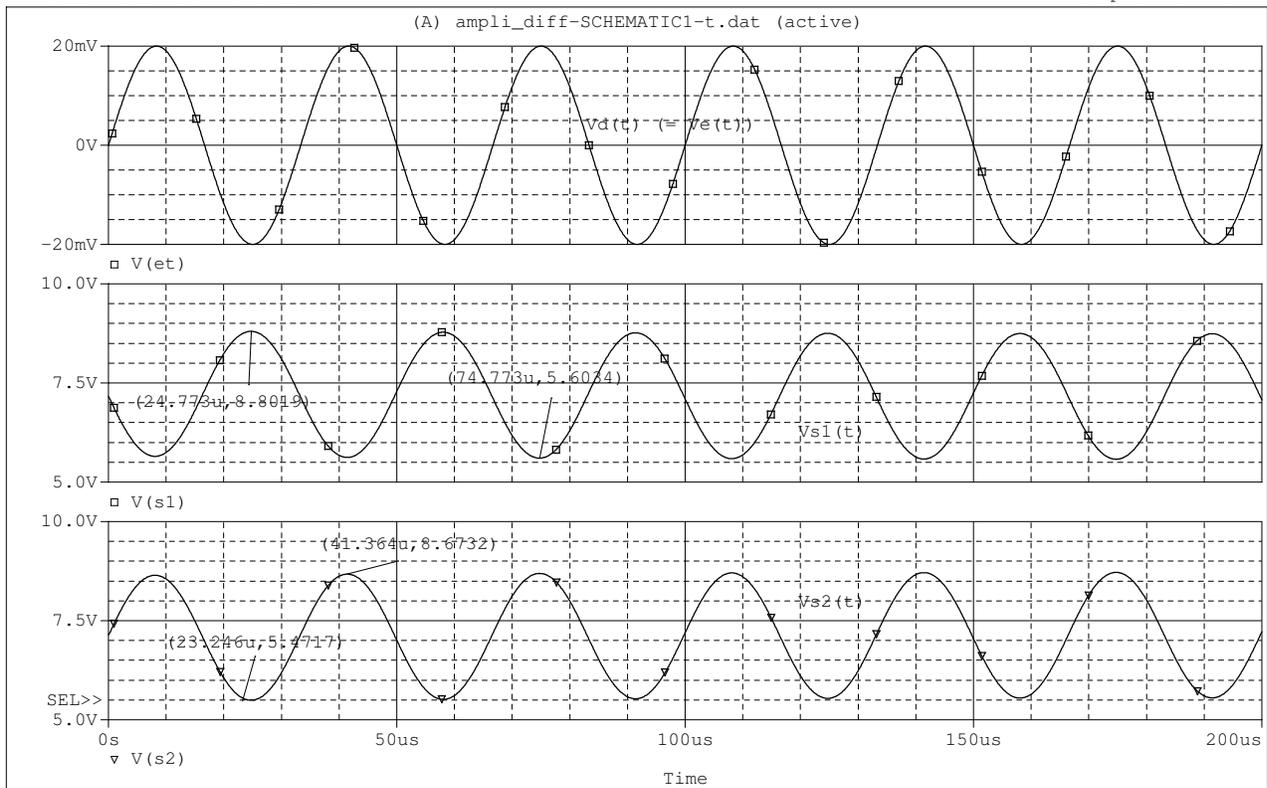
Lorsqu'on applique des variations de tension sur la base du transistor  $T_3$ , on modifie sa conduction et donc le courant  $I$ . La variation de courant  $I$  a des impactes sur l'amplitude des tensions de sorties. Ce phénomène permet de faire de la modulation d'amplitude.

La figure 42 montre l'allure d'une modulation d'un signal sinusoïdale par un signal sinusoïdale.

Lors de nos mesures expérimentales, nous avons observé un signal de type avec comme valeurs :

<sup>10</sup>toutes leurs propriétés doivent être les même et ils doivent avoir les même défauts.

\*\* Profile: "SCHEMATIC1-t" [ C:\CAMSI\MS\Ampli\_diff\ampli\_diff-SCHEMATIC1-t.sim ]  
 Date/Time run: 10/07/04 11:17:49 Temperature: 27.0



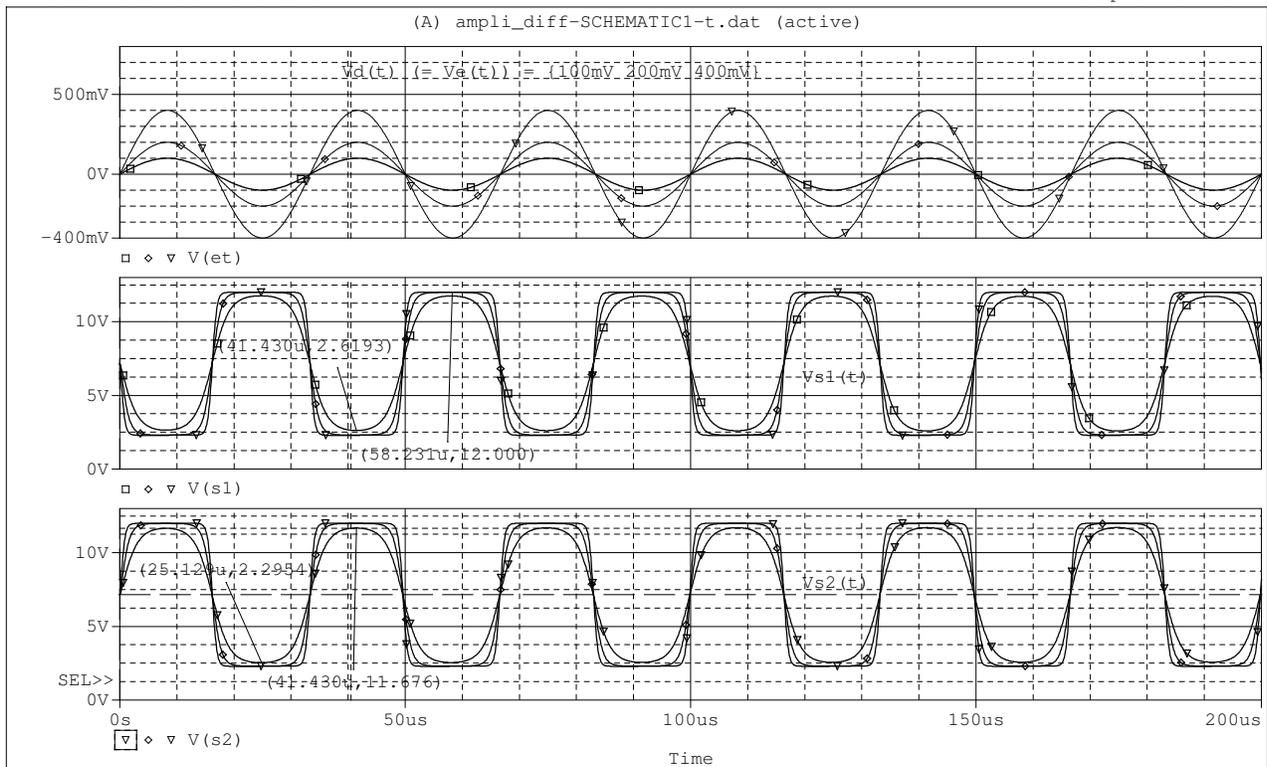
Date: October 07, 2004

Page 1

Time: 11:26:16

FIG. 37 – Analyse temporelle des signaux  $V_{s1}$ ,  $V_{s2}$  et  $V_d$ .

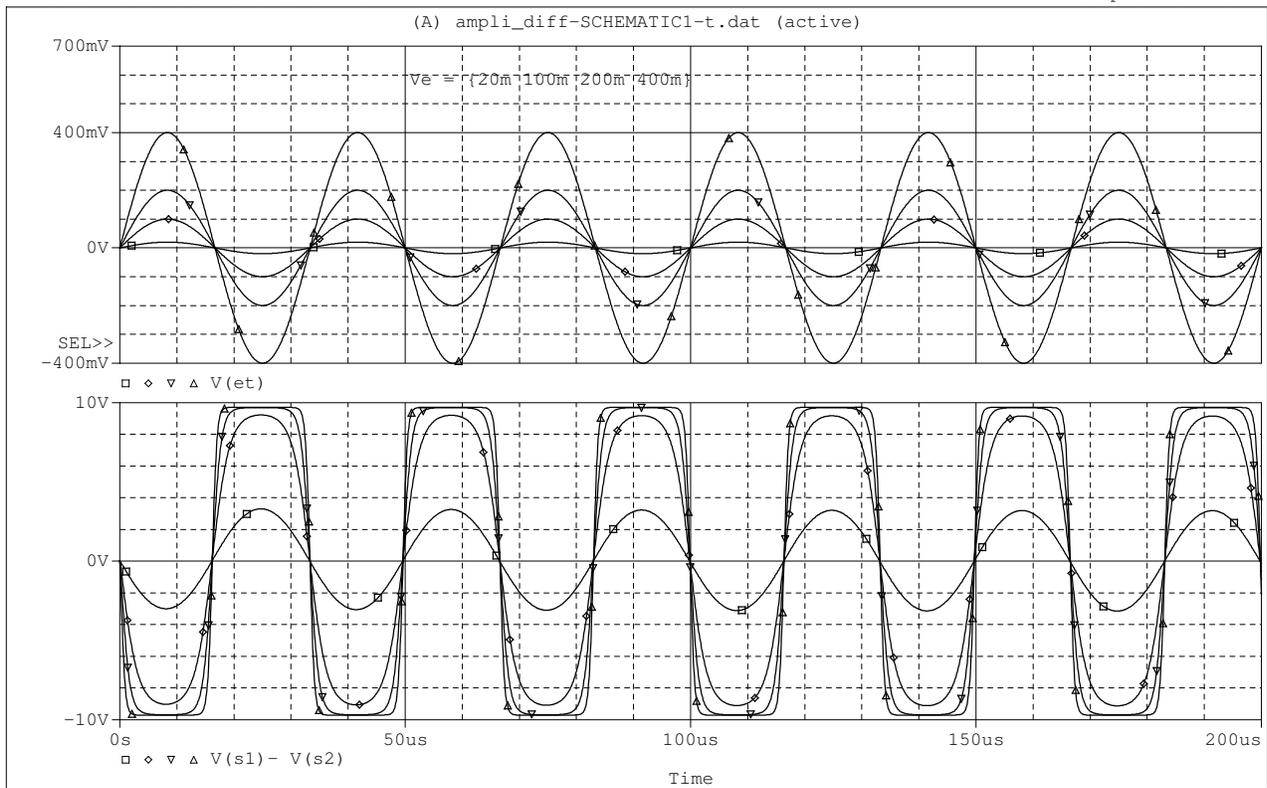
\*\* Profile: "SCHEMATIC1-t" [ C:\CAMSI\MS\Ampli\_diff\ampli\_diff-SCHEMATIC1-t.sim ]  
 Date/Time run: 10/07/04 11:27:58 Temperature: 27.0



A1: (40.530u, 11.656) A2: (0.000, 7.1475) DIFF(A): (40.530u, 4.5085)  
 Date: October 07, 2004 Page 1 Time: 11:34:37

FIG. 38 – Analyse temporelle des signaux  $V_{s1}$ ,  $V_{s2}$  et  $V_d$  pour un signal d'entrée de forte amplitude.

\*\* Profile: "SCHEMATIC1-t" [ C:\CAMSI\MS\Ampli\_diff\ampli\_diff-SCHEMATIC1-t.sim ]  
 Date/Time run: 10/07/04 11:47:31 Temperature: 27.0

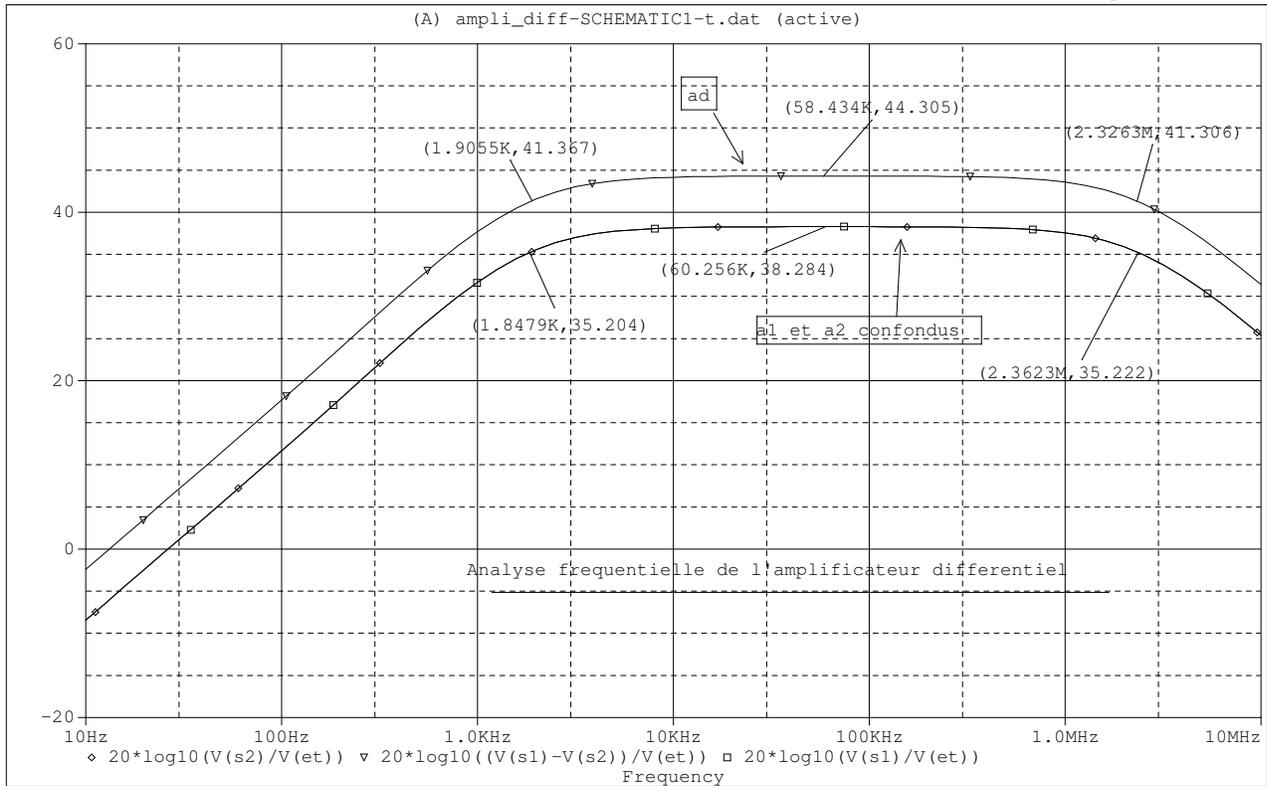


Date: October 07, 2004

Page 1

Time: 11:50:27

FIG. 39 – Analyse temporelle des tensions différentielles.



Date: October 07, 2004

Page 1

Time: 11:06:00

FIG. 40 – Diagramme de Bode.

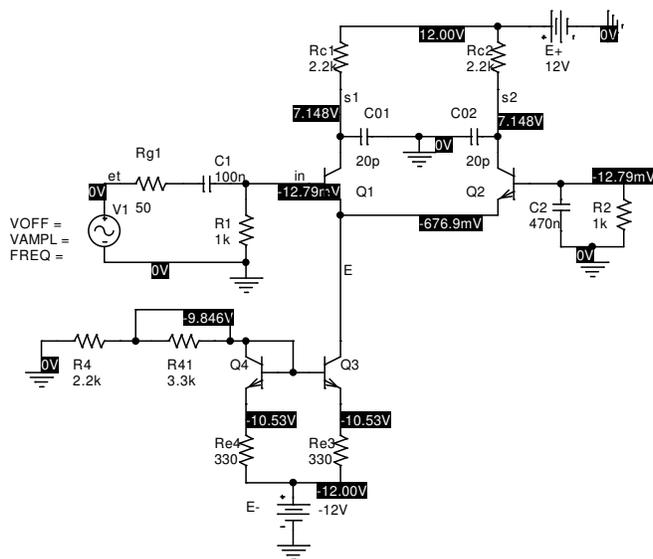


FIG. 41 – Polarisation.

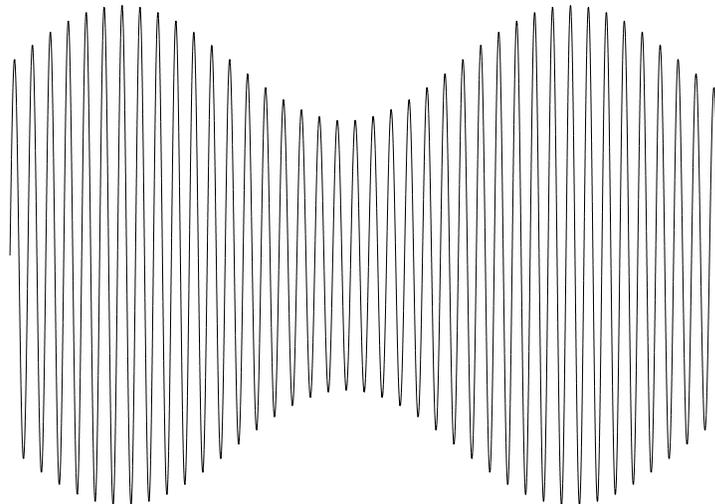


FIG. 42 – Modulation d’amplitude.

- 5 V pour le sommet du haut ;
- 4,3 V pour le creux du haut ;
- -3,8 V pour le creux du bas ;
- -4,7 V pour le sommet du bas.

## 7 Caractérisation d’un amplificateur opérationnel inverseur

### 7.1 Introduction

Nous allons maintenant tester un cas d’utilisation de l’amplificateur opérationnel. L’amplificateur opérationnel est constitué d’un amplificateur différentiel en circuit d’entrée.

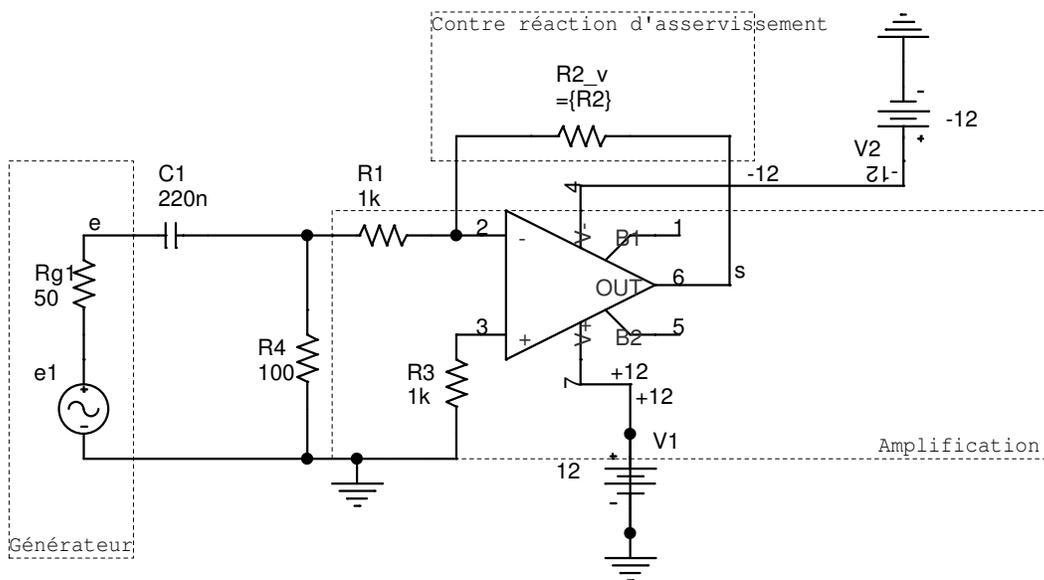


FIG. 43 – Schéma sous Orcad de notre amplificateur opérationnel inverseur

La figure 43 nous montre notre schéma. On y retrouve un générateur de signaux, la partie amplification constitué de l’amplificateur opérationnel et la contre-réaction d’asservissement. cette dernière permet l’asservissement de la sortie par rapport à la consigne d’entrée. Cette contre-réaction apporte

des propriétés très intéressante au circuit qui peut corriger de lui même sa sortie.

## 7.2 Analyse fréquentielle

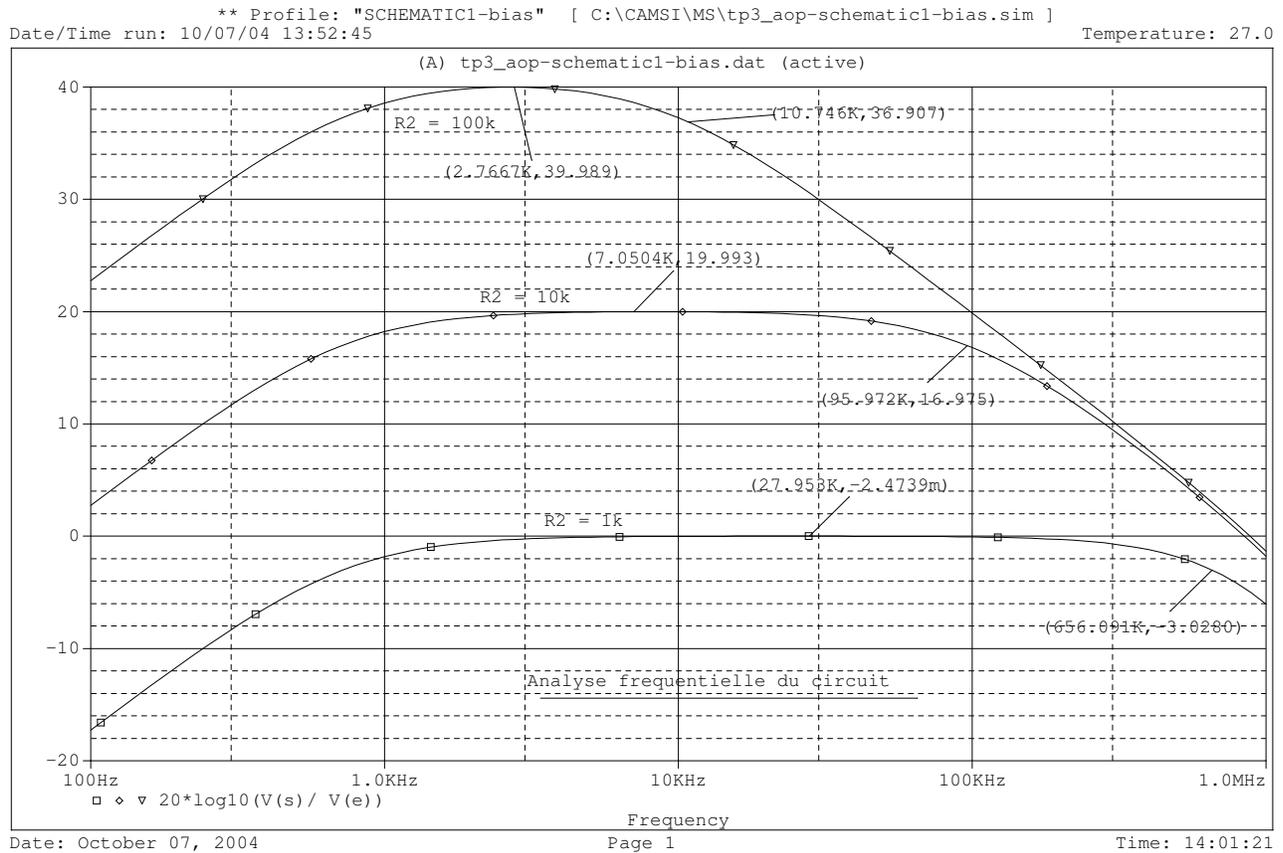


FIG. 44 – Diagramme de Bodes.

Sur la figure 44, nous voyons que plus le gain est élevé, plus la bande passante diminue. Cela est due au fait que le produit  $G \times BP = \text{cte}$ .

## 7.3 Réponse en forts niveaux

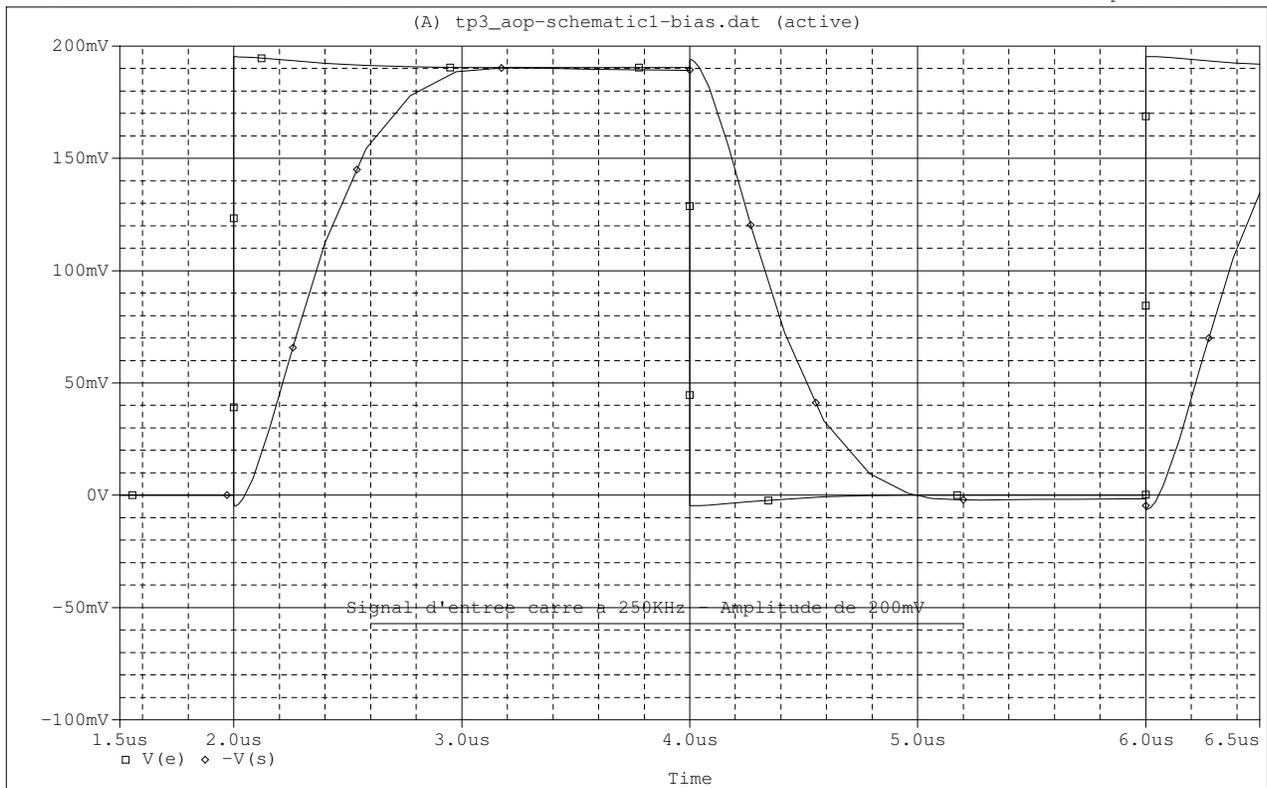
Comme nous pouvons le constater sur la figure 45 que certaines des harmoniques sont filtrées, d'où la déformation. Nous voyons que la fondamentale (250 kHz) est bien dans la bande passante d'après la figure 44, cependant les harmoniques en hautes fréquences sont supprimés.

La figure 46 nous montre le phénomène « Slew Rate ».

Le slew rate correspond à la limitation du circuit pour atteindre une consigne. En effet, lorsque la consigne est extrême, les différentes constantes de temps du circuit s'efface devant la limite imposée par le circuit. Le slew rate s'exprime en Volts par unités de temps. La documentation de l'amplificateur opérationnel utilisé nous indique 0,5V par micro-seconde. Dans les mesures expérimentales, nous avons constaté que cette spécification était respectée. Dans la simulation, qui dépend d'un modèle, le composant l'atteint de justesse.

Pour déterminer le slew rate par la simulation, nous nous somme intéressé à la valeur de la dérivée du signal de sortie lorsqu'il monte et descend. Nous trouvons alors comme valeurs de slew rate  $\pm 0,49$  Volts par micro-secondes.

\*\* Profile: "SCHEMATIC1-bias" [ C:\CAMSI\MS\tp3\_aop-schematic1-bias.sim ]  
 Date/Time run: 10/07/04 14:07:19 Temperature: 27.0



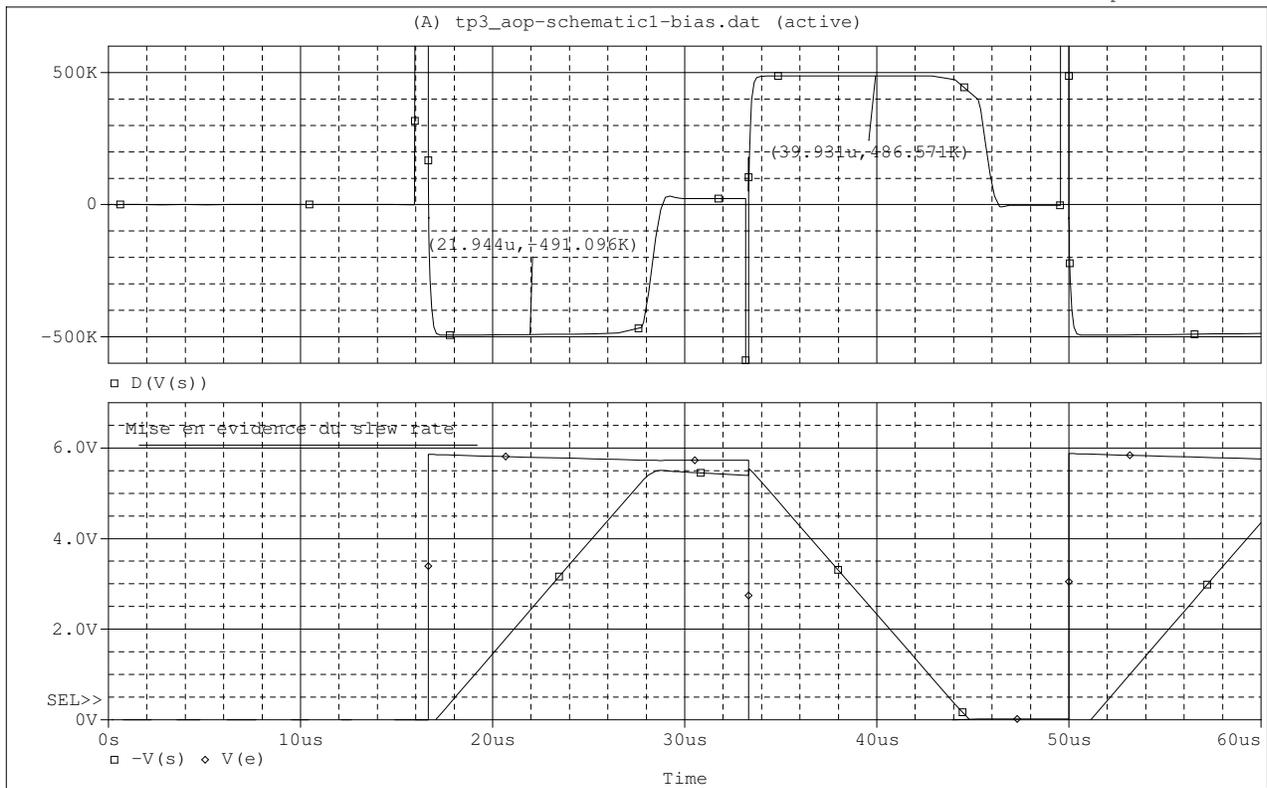
Date: October 07, 2004

Page 1

Time: 14:09:30

FIG. 45 – Réponse à un signal carré de 250 kHz

\*\* Profile: "SCHEMATIC1-bias" [ C:\CAMSI\MS\tp3\_aop-schematic1-bias.sim ]  
 Date/Time run: 10/07/04 14:10:40 Temperature: 27.0



Date: October 07, 2004

Page 1

Time: 14:18:09

FIG. 46 – Réponse à un signal carré de 30 kHz