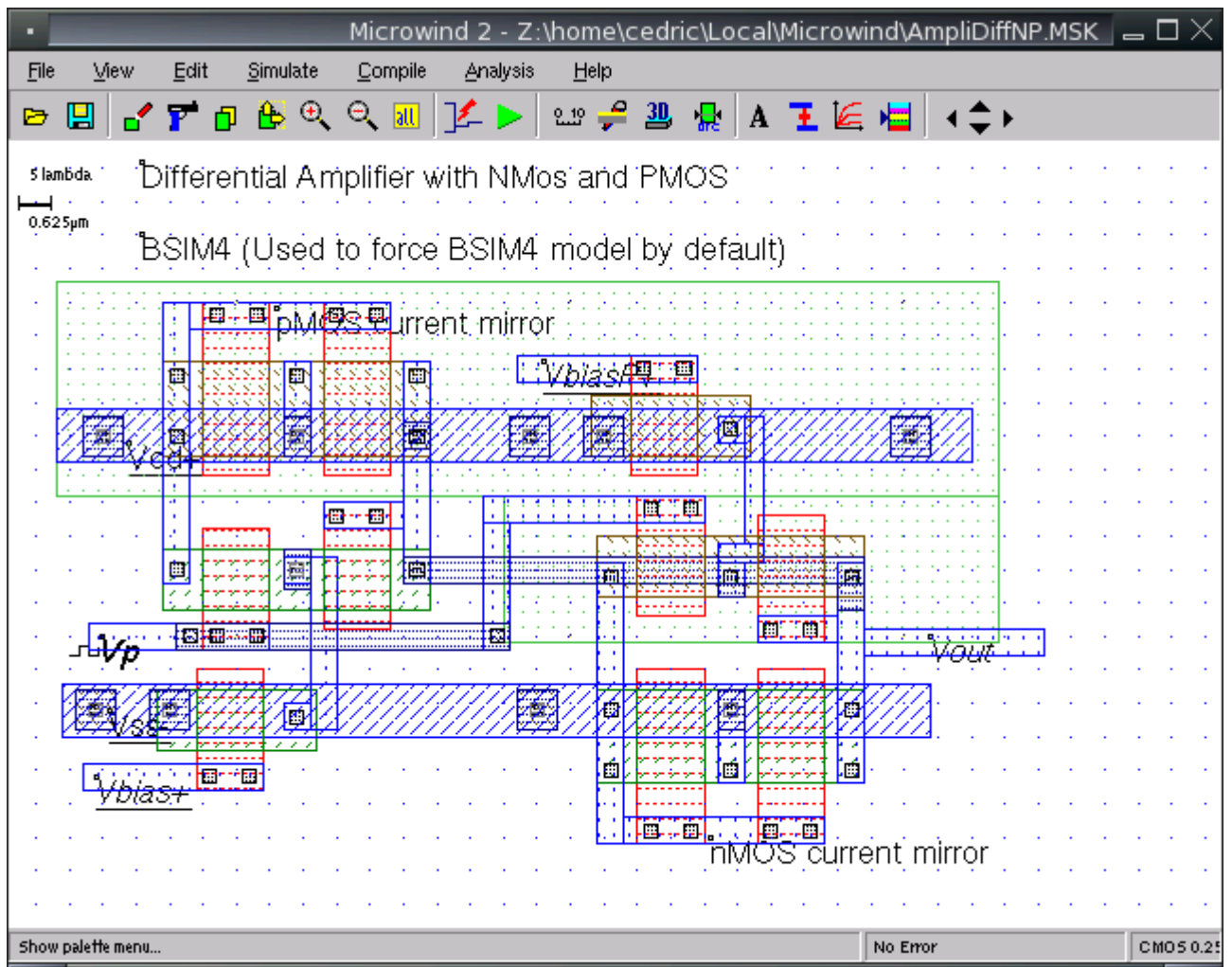


TP Cellules MOS - Logiciel MicroWind

GARDELLE Éric

VINCENT Cédric

18 novembre 2004



encadrants :

Bernal Olivier

Standarovski Denis

Table des matières

1 Définitions utiles à la compréhension de ce rapport	3
1.1 Transistor N-MOS	3
1.1.1 Schémas	3
1.1.2 Polarisation	3
1.1.3 Caractéristiques techniques simplifiés	4
1.1.4 Utilisation	5
1.2 Transistor P-MOS	5
2 Première séance	6
2.1 Technologie et règles de dessin	6
2.2 Les différents niveaux de métal pour le routage	6
2.3 Niveau de modélisation	6
2.4 Transistor N-MOS	8
2.4.1 Dessin	8
2.4.2 Les différentes couches	8
2.4.3 Simulation statique	9
2.4.4 Simulation dynamique	16
2.4.5 Conclusions	16
2.5 Transistor P-MOS	18
2.5.1 Les différentes couches	18
2.5.2 Simulation statique	18
2.5.3 Simulation dynamique	27
2.5.4 Conclusions	29
2.6 Rappels sur la logique C-MOS	29
2.7 Inverseur	30
2.7.1 Schéma et principe de fonctionnement	30
2.7.2 Dessin et masques	30
2.7.3 Simulation dynamique	40
2.7.4 La sortance	40
2.8 Oscillateur bouclé	42
2.9 Porte logique « NAND »	44
2.10 Porte logique « OR »	47
2.11 Porte logique « XOR »	49
2.11.1 Conception optimisée de la porte logique « XOR »	51
2.12 Porte complexe $F = A + (B \cdot C)$	53
3 Deuxième séance	55
3.1 Porte de Transition	55
3.2 Demi-Additionneur	57
3.3 Amplificateur Opérationnel	59
3.3.1 Étude de la paire différentielle	60
3.3.2 Relation entre la tension de sortie et les tensions d'entrées	61
3.3.3 Simulation	64

1 Définitions utiles à la compréhension de ce rapport

1.1 Transistor N-MOS

Nous allons faire un *bref* rappel théorique et simplifié sur le transistor MOS à canal N, afin d'illustrer ce que nous allons observer durant ce TP.

1.1.1 Schémas

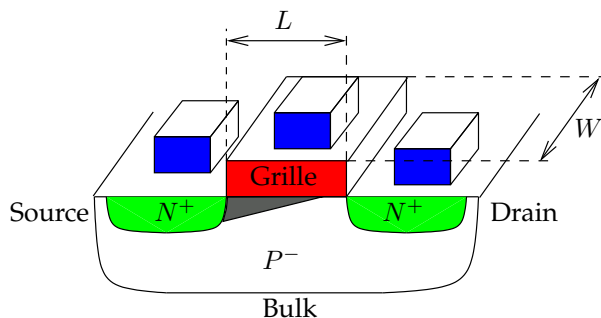


FIG. 1 – Schéma d'un transistor N-MOS

Nous pouvons observer sur la figure 1 le schéma d'un transistor N-MOS basé sur la technologie des semi-conducteurs en *Silicium* (S_i). Il existe deux zones de *diffusion N*, appelées *Drain* et *Source*, que l'on peut intervertir à partir du moment où le transistor n'est pas polarisé¹. Ces deux zones sont séparées par un intervalle de *Bulk*² P, le *canal*. Enfin, au-dessus des deux zones de diffusion, nous pouvons voir la *Grille*, isolé par une fine couche d'oxyde de silicium (S_iO_2). Les connexions entre les différentes cellules MOS se font par du *métal* (*poly-silicium*, *thungsten*, *aluminium*, *cuivre*³, ...).

Le transistor N-MOS est caractérisé, entre autre, par :

l'épaisseur d'oxyde de grille (t_{ox}) : de l'ordre d'une dizaine de nano-mètre ;

la longueur de canal (L) : actuellement de l'ordre de quelques centaines (voir même dizaines) de nano-mètre. Il s'agit de la longueur de la grille. Ce paramètre définit la technologie utilisée, par exemple « technologie 0,25 micro-mètre ».

la largeur du transistor (W) : l'ordre de grandeur de ce paramètre dépend⁴ de l'utilisation du transistor, comme nous le verrons à la section 1.1.3. Il s'agit de la largeur de la grille.

1.1.2 Polarisation

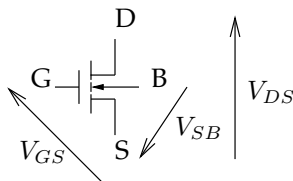


FIG. 2 – Polarisation d'un transistor N-MOS

Comme nous l'avons vu à la section 1.1, la polarisation du transistor permet de différencier le drain de la source. Ainsi la tension V_{DS} est positive.

Le transistor est contrôlé par la tension V_{GS} , qui elle aussi doit être positive comme nous le verrons à la section 1.1.4.

¹c'est donc la polarisation du transistor qui détermine le drain et la source.

²substrat.

³grâce à des procédés sophistiqués.

⁴sans descendre en dessous de la technologie utilisée.

Enfin, la tension V_{SB} doit aussi être positive ou nulle, de manière à maintenir les jonctions entre Source-Bulk et Drain-Bulk en inverse, comme nous pouvons le voir sur la figure 3.

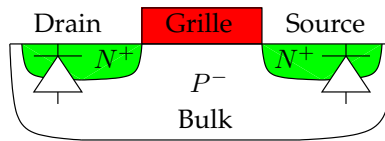


FIG. 3 – Jonctions d'un transistor N-MOS

1.1.3 Caractéristiques techniques simplifiés

Le transistor N-MOS possède deux modes de fonctionnement principaux :

- le mode *bloqué*, lorsque $V_{GS} < V_{TH}$, le courant I_{DS} est quasi nul ;
- le mode *passant*, lorsque $V_{GS} \geq V_{TH}$;

Il existe deux zones de fonctionnement en mode passant :

zone ohmique : appelée aussi « non pincée » ou « linéaire ». On considère que le transistor est dans cette zone de fonctionnement lorsque $V_{GD} > V_{TH}$. L'intensité qui le traverse est alors défini par :

$$I_D = \mu_{0N} C_{ox} (W/L) (V_{GS} - V_{TH} - V_{DS}/2) V_{DS} \quad (1)$$

$$I_D \simeq \alpha V_{DS}$$

Il se comporte donc comme une résistance.

zone saturé : appelée aussi « pincée ». On considère que le transistor est dans cette zone de fonctionnement lorsque $V_{GD} < V_{TH}$. L'intensité qui le traverse est alors défini par :

$$I_D = \mu_{0N} C_{ox} (W/2L) (V_{GS} - V_{TH})^2 \quad (2)$$

$$I_D \simeq \text{cte}$$

Ce régime de fonctionnement est le résultat de deux effets qui s'opposent. Plus V_{DS} augmente, et plus le champ électrique horizontal qui en résulte est important ($E_L = V_{DS}/L$). Ce qui a pour conséquence :

- de dépeupler la région proche du drain et donc de pincer le canal de ce côté. La longueur effective du canal est alors inférieure à sa longueur réelle.
- d'augmenter la vitesse des électrons qui se trouvent alors en sur-vitesse et sont avalés par le débit.

Il en résulte un courant quasi constant.

La tension de seuil détermine la tension à partir de laquelle le transistor bascule d'une zone de fonctionnement à l'autre. Nous la définirons par :

$$V_{TH} = V_{FB} + \phi_T + \gamma \sqrt{\phi_T + V_{SB}} \quad (3)$$

Où :

- V_{FB} est la tension de bandes plates ;
- $\phi_T = 2U_T \ln(N/n_i)$ est la tension de diffusion ;
- $\gamma = \sqrt{2\epsilon_S q N} / C_{ox}$ est le paramètre d'effet substrat ;
- $C_{ox} = \epsilon_{ox} / t_{ox}$;
- ϵ_{ox} est la permittivité de l'isolant (oxyde).

Dans les équations (1) et (2), μ_{0N} désigne la *mobilité* des porteurs de charges. On peut aussi remarquer que $I_{DS\max}$ dépend de W . Il est à noté que lorsque la température augmente, la mobilité des porteurs diminue donc $I_{DS\max}$ diminue.

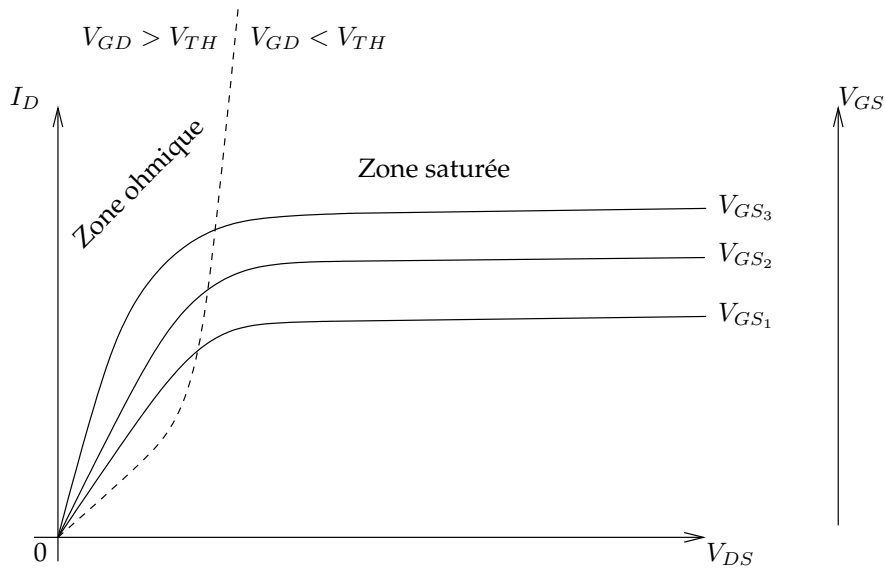


FIG. 4 – Caractéristique d'un transistor N-MOS

1.1.4 Utilisation

Nous utiliserons le transistor comme un interrupteur commandé, comme nous l'avons vu à la section 1.1.2. Il faut tout de même faire attention aux effets *résistifs* et *capacitifs* du transistor. En effet, même si nous n'avons pas parlé de ces effets jusqu'à présent, ils ont une réelle influence sur le fonctionnement d'un circuit, comme nous le verrons aux sections 2.4.4 et 2.5.3. Pour le moment, nous considérerons le modèle équivalent donné à la figure 5, où la résistance est de l'ordre du kilo-ohm...

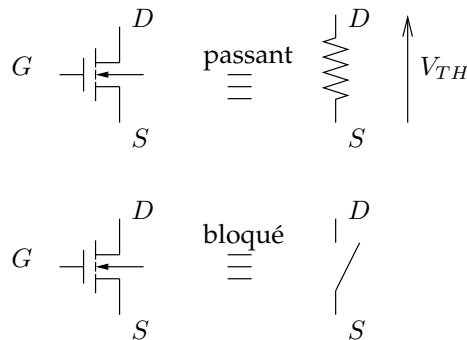


FIG. 5 – Équivalence d'un transistor N-MOS

1.2 Transistor P-MOS

Plutôt que de faire un nouveau rappel sur le transistor P-MOS, nous allons uniquement présenter les points qui diffèrent entre ce dernier et le transistor N-MOS que nous avons vu à la section 1.1.

Il existe essentiellement deux différences :

- la mobilité des porteurs est plus faible, $\mu_{0P} \simeq 3\mu_{0N}$;
- il faut polariser le puits N-well à V_{DD} par rapport au substrat P^- .

Mise à part cela, le transistor P-MOS a les mêmes fonctions que le transistor N-MOS, sauf qu'il possède une tension de contrôle opposée, c'est à dire qu'il est passant lorsque $V_{GS} < V_{DD} - V_{TH}$ et bloqué sinon.

2 Première séance

2.1 Technologie et règles de dessin

Les dessins d'un circuit se font sur une grille dont l'unité est le λ . Cette unité est égale à la moitié de la technologie, ainsi la longueur minimale du canal d'un transistor est égale à 2λ . Les intérêts d'une telle unité sont :

- le changement facile de technologie ;
- la ré-utilisation des dessins ;
- la réduction des coûts de dessin ;
- et qu'elle est utilisée par FreeScale.

En revanche il existe quelques inconvénients tels que :

- la production de dessins sous-optimaux ;
- et qu'elle n'est pas utilisée par tous les fondeurs.

Puisque dans notre cas nous utilisons une technologie $0,25\mu\text{m}$, λ est égale à $0,125\mu\text{m}$.

2.2 Les différents niveaux de métal pour le routage

Il existe plusieurs *étages* de métal dans un circuit intégré, MicroWind nous en propose une demi-douzaine, du niveau 1 (bas) au niveau 6 (haut) :

- le métal de niveau 1 a une grande résistance (alliage à base de Tungstène en général), mais une très bonne tenue mécanique ;
- les métaux des niveaux 2,3,4 sont identiques entre eux ;
- les métaux des niveaux 5,6 sont plus larges que les précédents pour être utilisés pour l'alimentation et les longues distances. Ils sont aussi utilisés pour le bus d'horloge afin de diminuer les effets capacitifs entre les connexions en *éloignant* ce dernier⁵.

Nous avons suivi quelques stratégies de routage et de dessin :

- nous utilisons du métal 1 pour les connexions verticales
- nous utilisons du métal 2 pour les connexions horizontales ;
- les bus d'alimentations et de masse sont placés horizontalement sur le métal 3 ;
- les transistors sont placés verticalement ;
- si on avait eu un bus d'horloge, nous l'aurions fait en métal 6 pour l'éloigner de la masse et ainsi diminuer les effets capacitifs avec le substrat.

2.3 Niveau de modélisation

Il existe plusieurs modèles pour calculer les caractéristiques d'un transistor MOS, plus le modèle est proche du modèle réel plus sa complexité augmente. Ainsi MicroWind implémente différents modèles :

modèle de premier niveau : le modèle utilisé est défini à partir de la théorie du transistor MOS idéal et valable uniquement pour des MOS de « grande dimension », c'est-à-dire pour $L > 10\mu\text{m}$. Ce modèle est assez proche du modèle que nous avons vu à la section 1.1.

modèle de deuxième niveau : le modèle utilisé est défini à partir de phénomènes physiques secondaires mais indispensables pour des technologies actuelles. MicroWind préfère utiliser le modèle du troisième niveau.

modèle de troisième niveau : le modèle est défini à partir du modèle de niveau 2 par *linéarisation* en incluant les effets de limitation des canaux étroits. Il est tout de même moins proche de la physique mais plus facile à utiliser. L'un des apports principaux par rapport au modèle de niveau 1, est la présence d'une tension $V_{DS\text{sat}}$ à partir de laquelle I_{DS} est *linéaire*. Ce modèle est tout de même considéré comme obsolète à partir d'une technologie $0,5\mu\text{m}$.

modèle de niveau BSIM4 : le modèle est très proche des transistors actuels. Il tient compte de la réduction des dimensions à l'échelle du nano-mètre et fait apparaître les tensions de claquage. Dans la version « originale » de ce modèle, développé par Berkeley, il existe 200 paramètres. MicroWind permet d'en modifier seulement une vingtaine.

⁵afin de minimiser les états incohérents, le signal d'horloge doit être le plus « net » possible.

Design rules for CMOS 0.25µm - 6 Metal											
Design rules and electrical parameters											
Layer	Width	Spacing	Surface	Surf capa	Lin capa	Ctk capa	Res	Unsalicid	Thickn	Height	Permitt
	lambda	lambda	lambda2	af/µm2	af/µm	af/µm	ohm	ohm	µm	µm	
nitride	0	0	0								
passiv	800	800	0								
metal6	8	15	128	4.00	30.00	20.00	0.04/sq	1.00/sq	0.70	7.00	3.90
via5	4	6	0				1.00/via		0.50	6.20	4.00
metal5	8	8	32	5.00	31.00	20.00	0.04/sq	1.00/sq	0.70	5.50	3.90
via4	2	5	0				2.00/via		0.50	5.00	4.00
metal4	3	4	32	6.00	30.00	15.00	0.06/sq	1.00/sq	0.60	4.40	3.90
via3	2	5	0				3.00/via		0.50	3.90	4.00
metal3	3	4	32	8.00	33.00	15.00	0.06/sq	1.00/sq	0.60	3.30	3.90
via2	2	5	0				3.00/via		0.50	2.80	4.00
metal2	3	4	32	13.00	36.00	15.00	0.06/sq	1.00/sq	0.60	2.20	3.90
via	2	5	0				2.00/via		0.50	1.50	4.00
metal	3	4	32	28.00	42.00	15.00	0.25/sq	1.00/sq	0.60	0.90	3.90
poly	2	3	8	80.00			4.00/sq	10.00/sq	0.30	0.25	4.00
poly2	2	2	8				4.00/sq	1.00/sq	0.00	1.00	4.00
contact	2	5	0				2.00/via		0.90	0.00	4.00
diffn	4	4	24	350.00	120.00		250.00/sq	10.00/sq	0.50	0.00	4.00
diffp	4	4	24	300.00	120.00		300.00/sq	10.00/sq	0.50	0.00	4.00
nwell	10	11	144	250.00			120.00/sq		1.50	0.00	4.00
oxyde				7000.00					5.00nm	(3.00nm)	4.00


Techno: CMOS 0.25µm - 6 Metal loaded from file "default.rul"

FIG. 6 – Règles de dessins pour la technologie 0,25µm, utilisée dans notre TP.

2.4 Transistor N-MOS

2.4.1 Dessin

Lorsque nous avons dessiné un transistor N-MOS le plus petit possible la première fois, nous nous sommes rendu compte que la taille minimale du transistor était principalement dépendant de la taille minimale des contacts. En effet, comme nous pouvons le voir sur la figure 7, on pourrait dessiner un transistor très petit, mais les contacts nous obligent à *agrandir* ce dernier, comme on peut le voir à la figure 8.

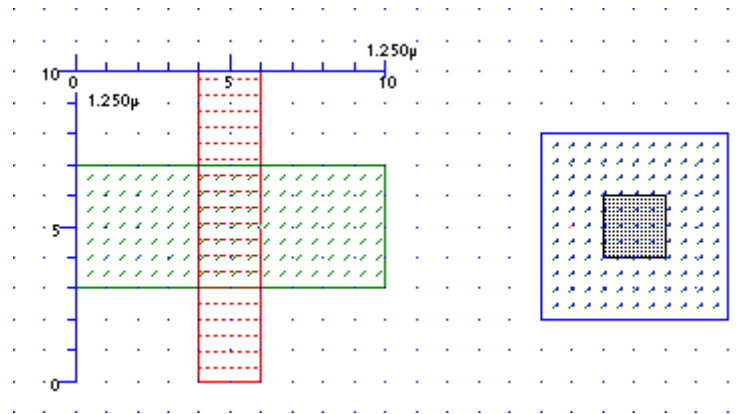


FIG. 7 – Transistor N-MOS minimal sans contacts

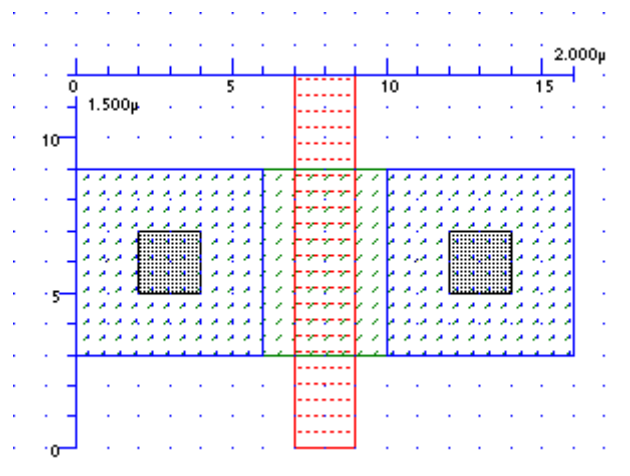


FIG. 8 – Transistor N-MOS minimal avec contacts

2.4.2 Les différentes couches

Sur la figure 9, nous pouvons distinguer plusieurs couches :

- en bleu (mA1), le métal 1 ;
- en violet (co), le via du métal 1 jusqu'aux diffusion N^+ ;
- en rouge (po), le poly-silicium de la grille ;
- en vert (n+), les diffusions drain et source ;
- en gris (P-substrate), le substrat P^- .

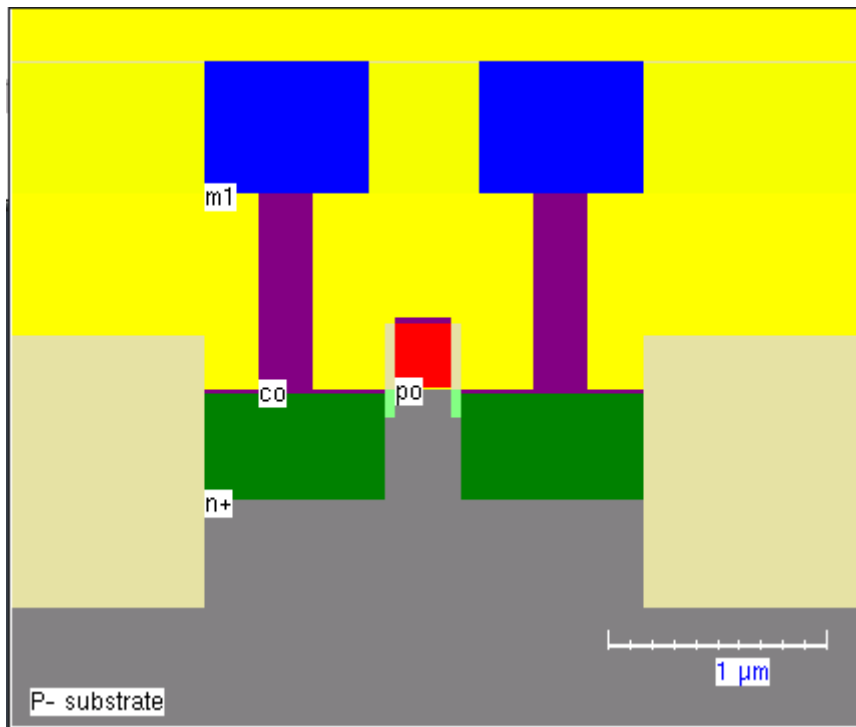


FIG. 9 – Transistor N-MOS minimal vu en coupe

2.4.3 Simulation statique

Les figures 10 à 21 nous montre les caractéristiques d'un transistor N-MOS de taille $10 \times 0,25 \mu\text{m}$, en fonction des différents modèles que nous propose MicroWind.

Nous pouvons remarquer que le modèle de niveau 1 est obsolète pour une telle technologie puisqu'il donne des résultats très éloignés du modèle complexe BSIM 4! D'après nos recherches documentaires, le modèle de niveau 1 est *utilisable* à partir d'un transistor $10 \times 10 \mu\text{m}$ en technologie $0,35 \mu\text{m}$. De plus, nous avons vu que le modèle de niveau 1 a 150% d'erreur sur un transistor $10 \times 0,4$ en technologie $0,35 \mu\text{m}$, par rapport au modèle BSIM4.

Pour déterminer le courant I_{DS} maximum, nous utiliserons donc les caractéristiques obtenues avec le modèle BSIM4. Comme nous pouvons le voir à la figure 18, $I_{DS\text{max}} \simeq 9,2 \text{mA}$ lorsque $V_{DS} = 3,5 \text{V}$. On est bien loin de $I_{DS\text{max}} \simeq 80 \text{mA}$ du modèle 1, comme on pourrait le voir à la figure 10!

D'après le modèle BSIM4, à la figure 21, la tension $V_{TH} \simeq 1 \text{V}$ pour $V_{DS} = 3,5 \text{V}$.

Toujours d'après ce modèle, à la figure 20, le courant de fuite I_{off} est égale à 10^{-8}A pour $V_{DS} = 0 \text{V}$ et $V_{GS} = 0 \text{V}$.

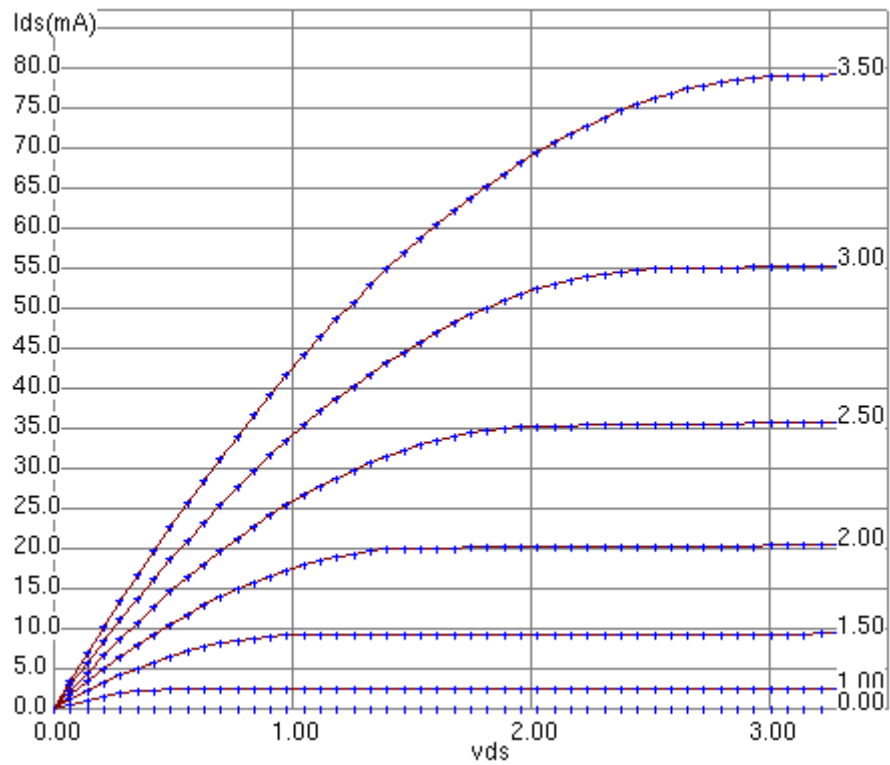


FIG. 10 – $I_D(V_{DS})$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en niveau 1

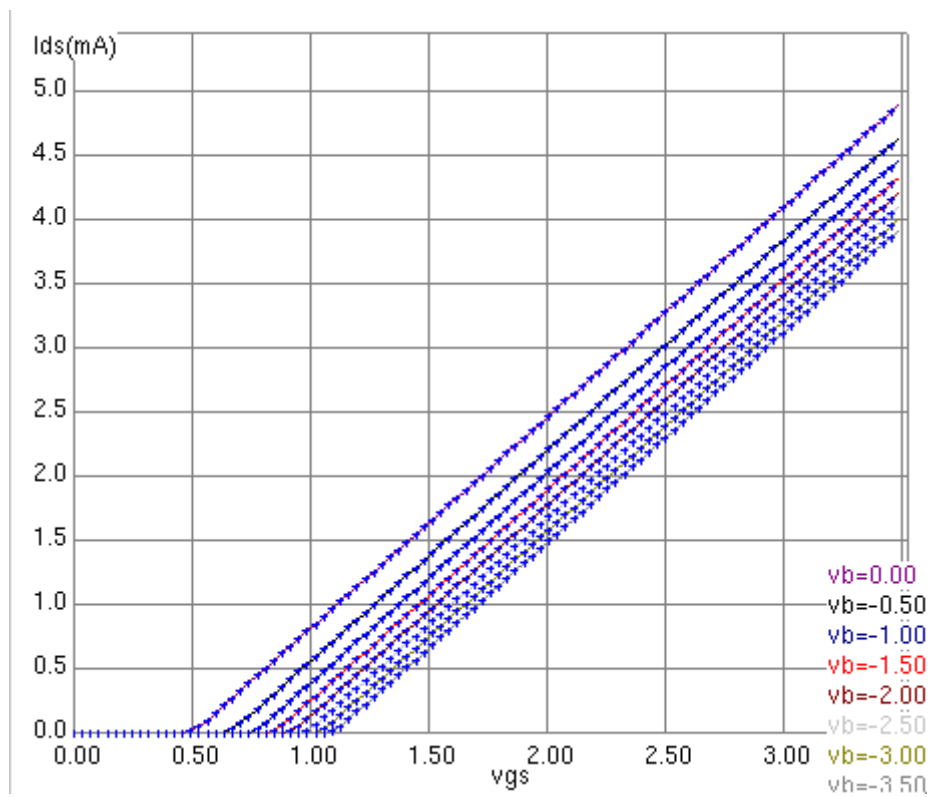


FIG. 11 – $I_D(V_{GS})$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en niveau 1

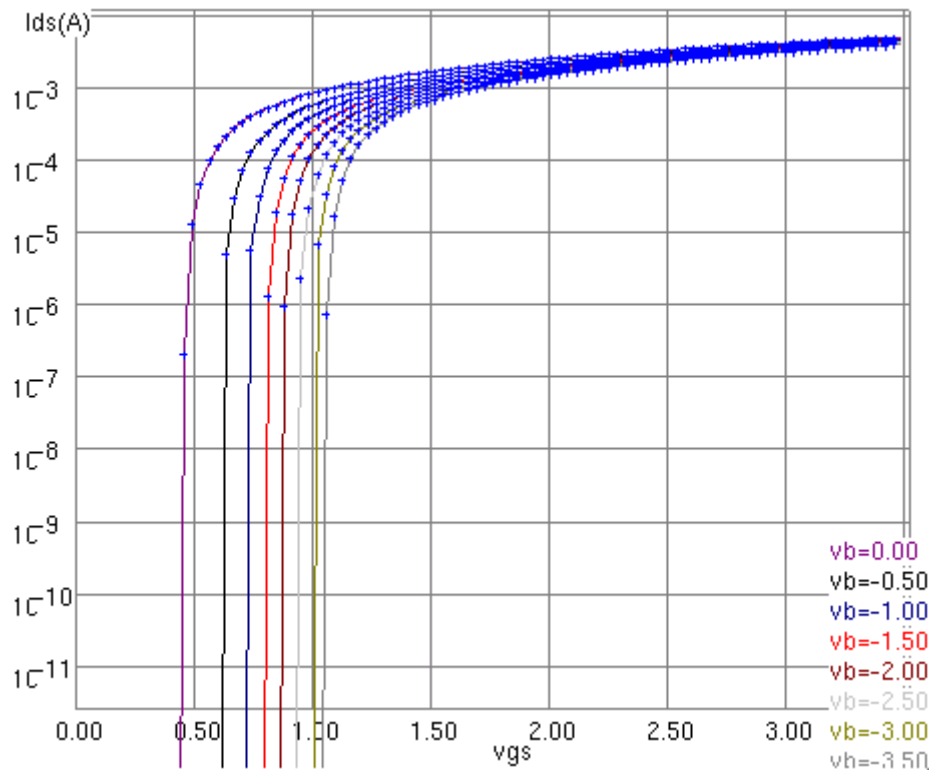


FIG. 12 – $I_D(\exp(V_{GS}))$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en niveau 1

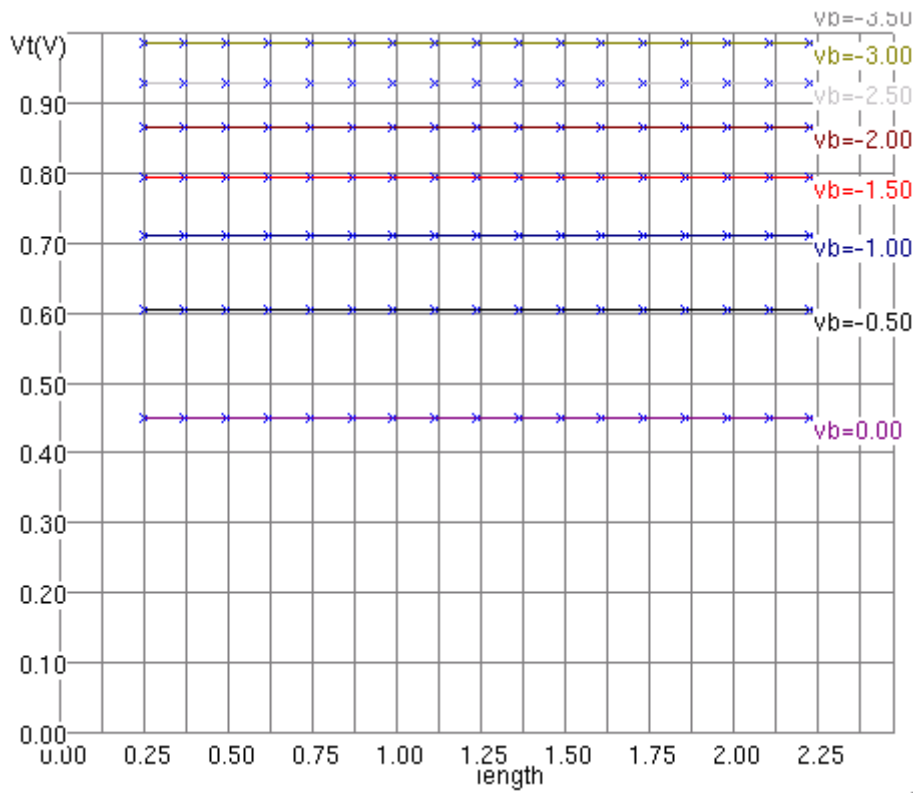


FIG. 13 – V_{TH} pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en niveau 1

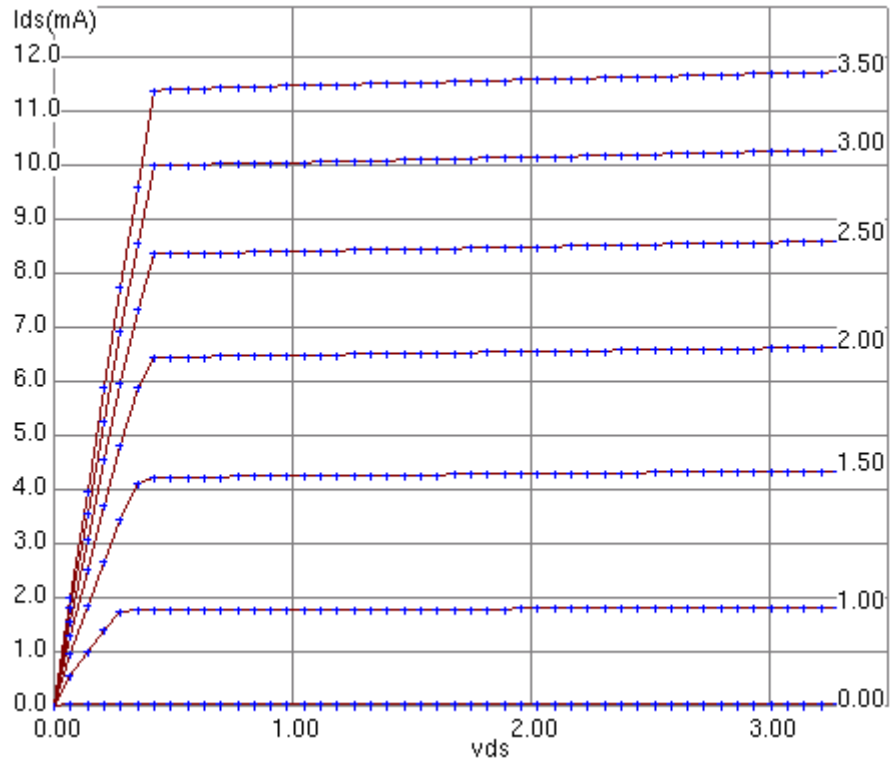


FIG. 14 – $I_D(V_{D_S})$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en niveau 3

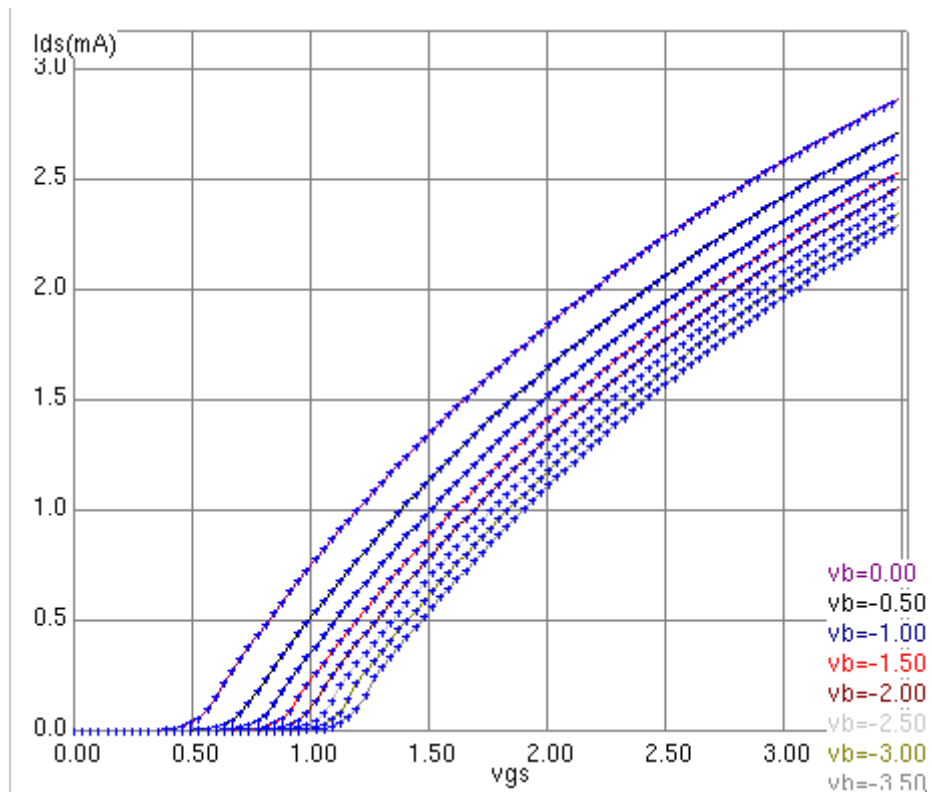


FIG. 15 – $I_D(V_{G_S})$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en niveau 3

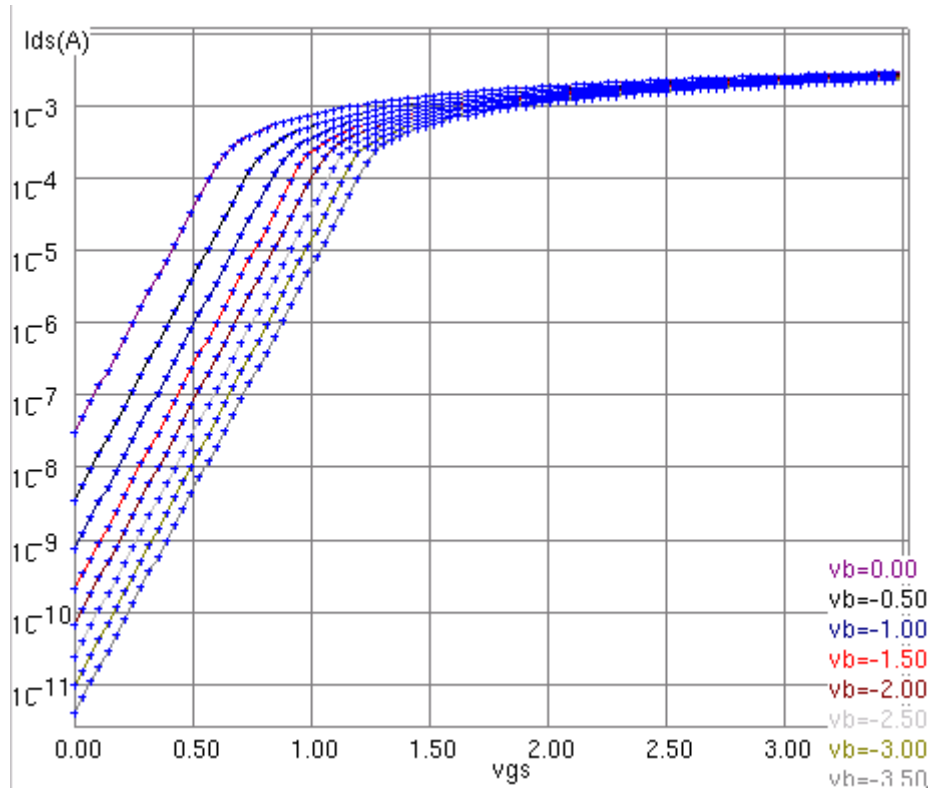


FIG. 16 – $I_D(\exp(V_{GS}))$ pour un transistor N-MOS $10 \times 0,25 \mu\text{m}$, en niveau 3

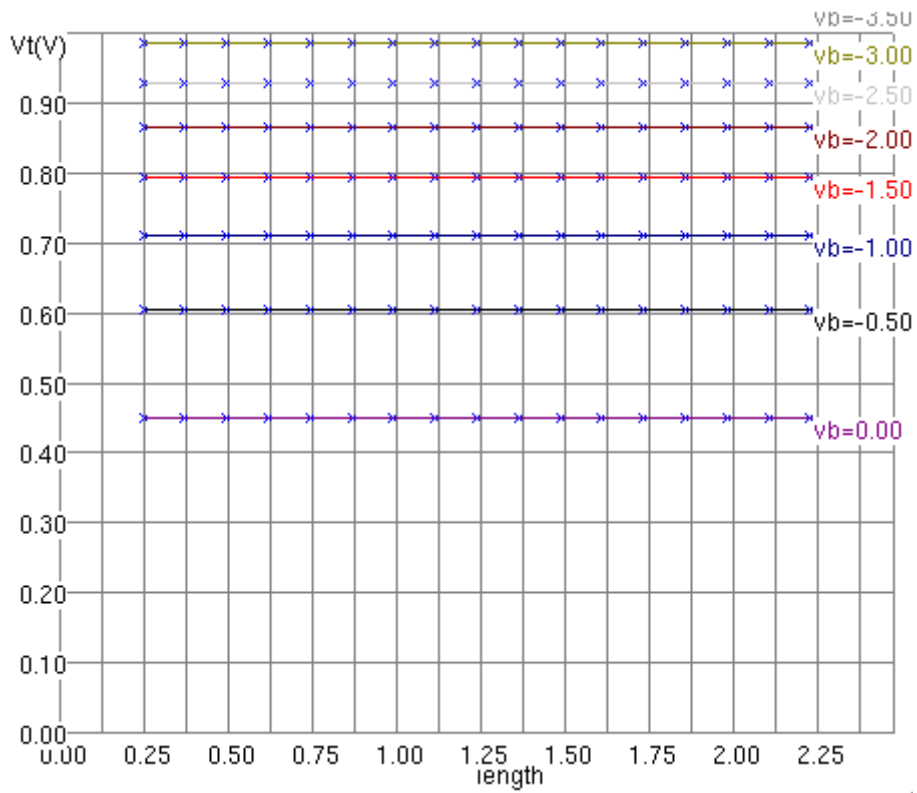


FIG. 17 – V_{TH} pour un transistor N-MOS $10 \times 0,25 \mu\text{m}$, en niveau 3

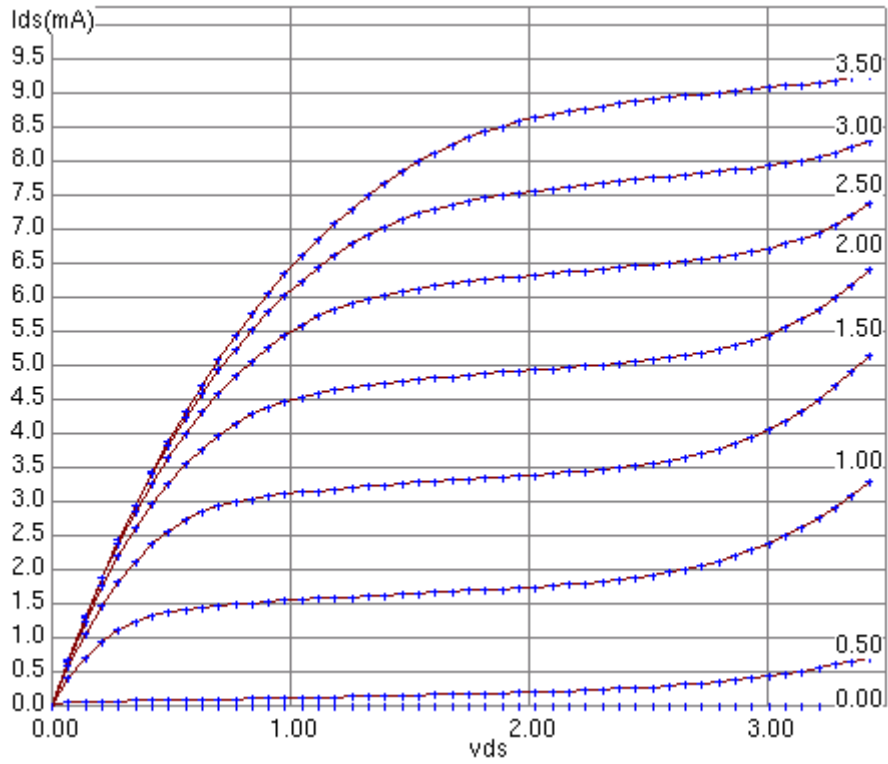


FIG. 18 – $I_D(V_{DS})$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en BSIM 4

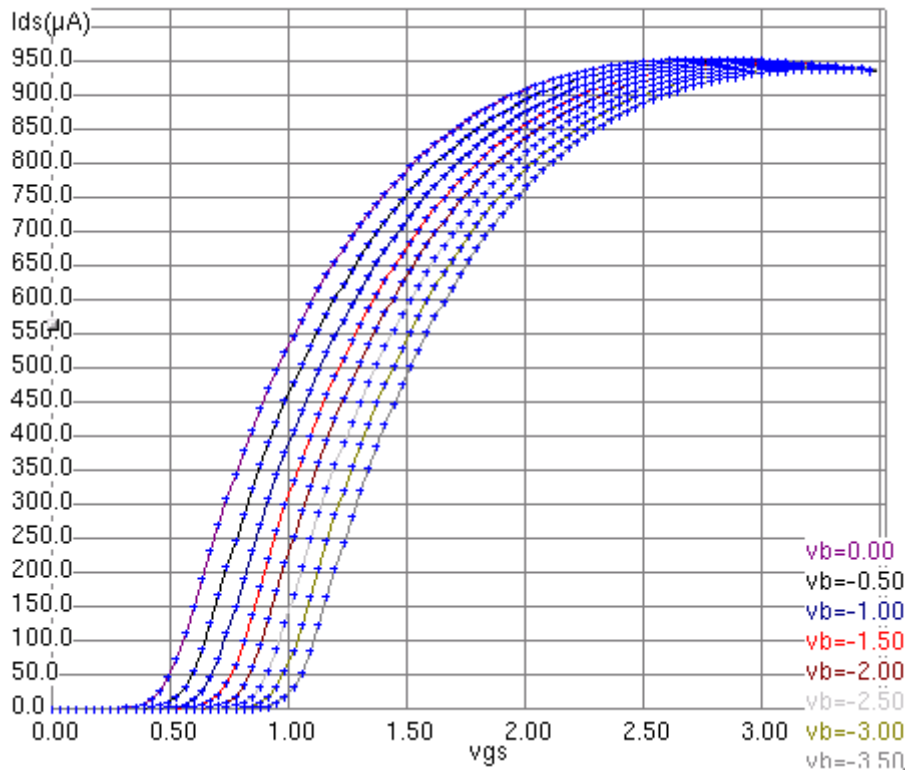


FIG. 19 – $I_D(V_{GS})$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en BSIM 4

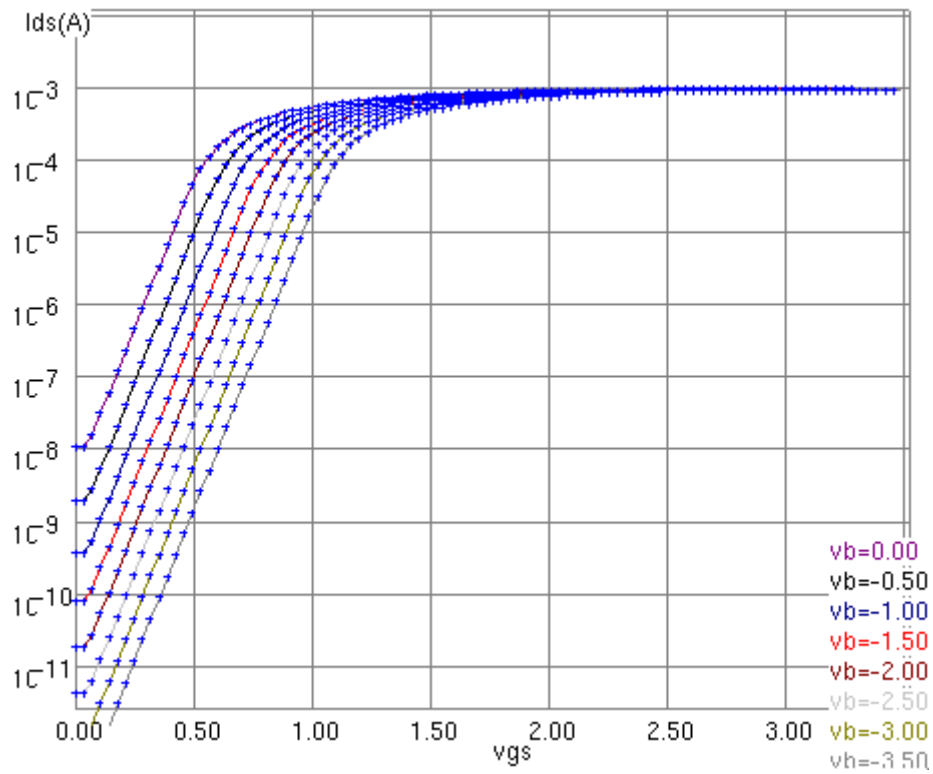


FIG. 20 – $I_D(\exp(V_{GS}))$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en BSIM 4

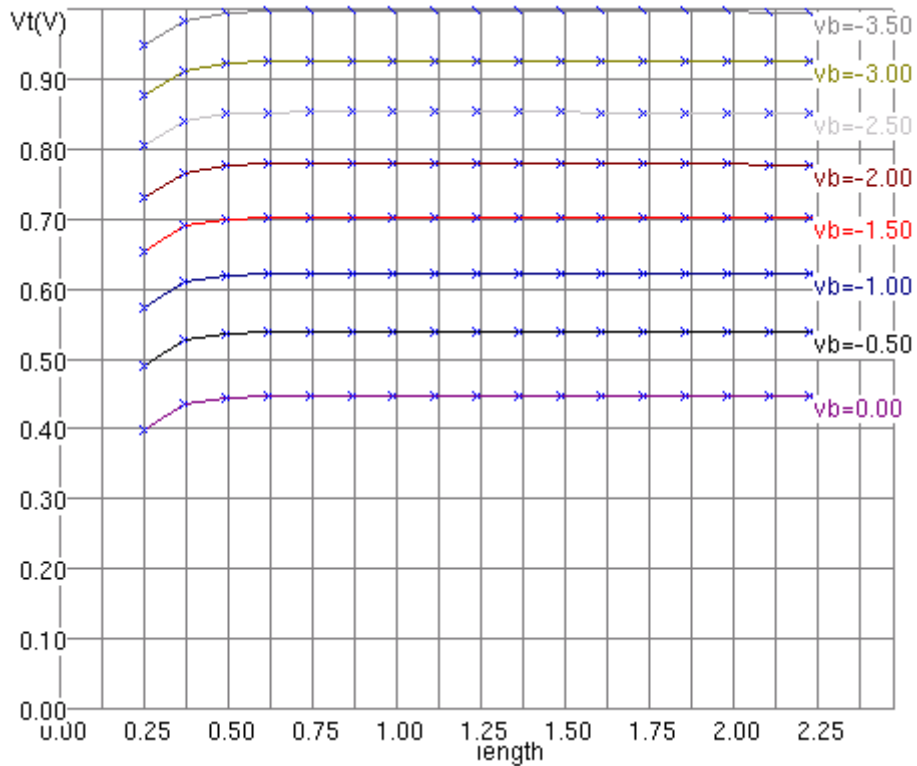


FIG. 21 – V_{TH} pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en BSIM 4

2.4.4 Simulation dynamique

Afin d'observer les caractéristiques dynamiques de notre transistor N-MOS minimal, nous avons effectué le *montage* de la figure 22. Le signal d'entrée est caractérisé par :

- Time Low = 0,07 ns ;
- Rise Time = 0,001 ns ;
- Time High = 0,07 ns ;
- Fall Time = 0,001 ns.

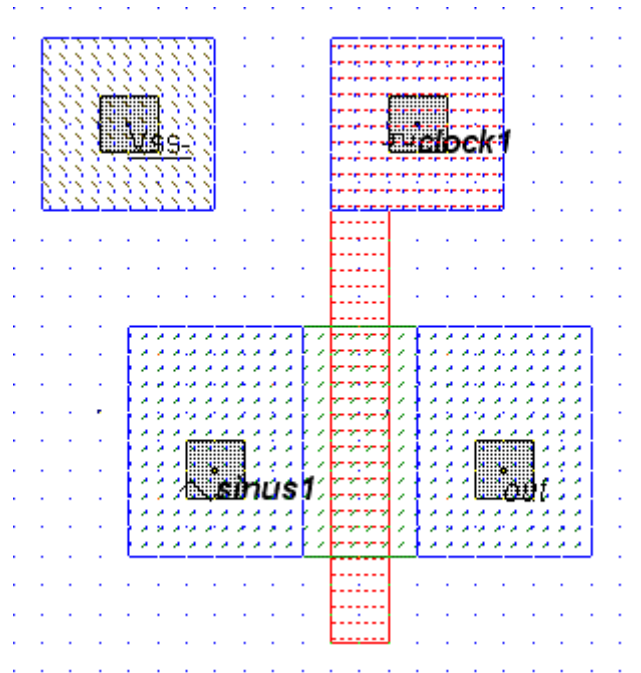


FIG. 22 – Polarisation d'un transistor N-MOS $10 \times 0,25 \mu\text{m}$

Nous avons alors obtenu le graphique de la figure 23. Lorsque la grille n'est pas commandée, le signal sur le drain ne traverse pas le transistor. Par contre en appliquant un signal continu sur la grille, le signal sur le drain traverse le transistor. Nous pouvons remarquer que sur la source, l'amplitude du signal n'est plus de V_{DD} mais de $V_{DD} - V_{TH}$. Le N-MOS est donc un mauvais interrupteur car il ne laisse pas passer le niveau haut correctement.

Nous pouvons observer sur la figure 24, des effets capacitifs sur le transistor N-MOS. Par rapport aux modèles que nous avons présenté aux figures 5 et 3, où nous avons pris en compte les effets de jonctions et résistifs, nous pouvons maintenant prendre en considération ce phénomène comme à la figure 25.

Des effets capacitifs parasites peuvent aussi provenir entre les inter-connexions en métal et le substrat. Pour diminuer ces derniers, on peut utiliser du saphir (excellent isolant) et ainsi augmenter la fréquence d'utilisation de notre circuit !

2.4.5 Conclusions

Nous avons donc remarquer que s'il on souhaite utiliser un transistor N-MOS comme un interrupteur commandé, il faut faire attention à la dégradation du signal. Cela est d'autant plus dangereux que cet effet de *dégradation* risque de s'additionner si on connecte plusieurs transistors en série...

Nous pourrions aussi utiliser un transistor N-MOS comme un inverseur, mais en plus d'avoir une asymétrie, nous perdrons tout l'intérêt de la logique C-MOS qui consiste à ne pas avoir de circulation de courant en statique, comme nous le verrons à la section 2.6...

Comme on l'a vu à la section 2.4.3, l'ordre de grandeur du courant de fuite est de quelques dizaines de nano-ampères. Certes cela peut sembler ridicule pour un unique transistor, mais dans des processeur

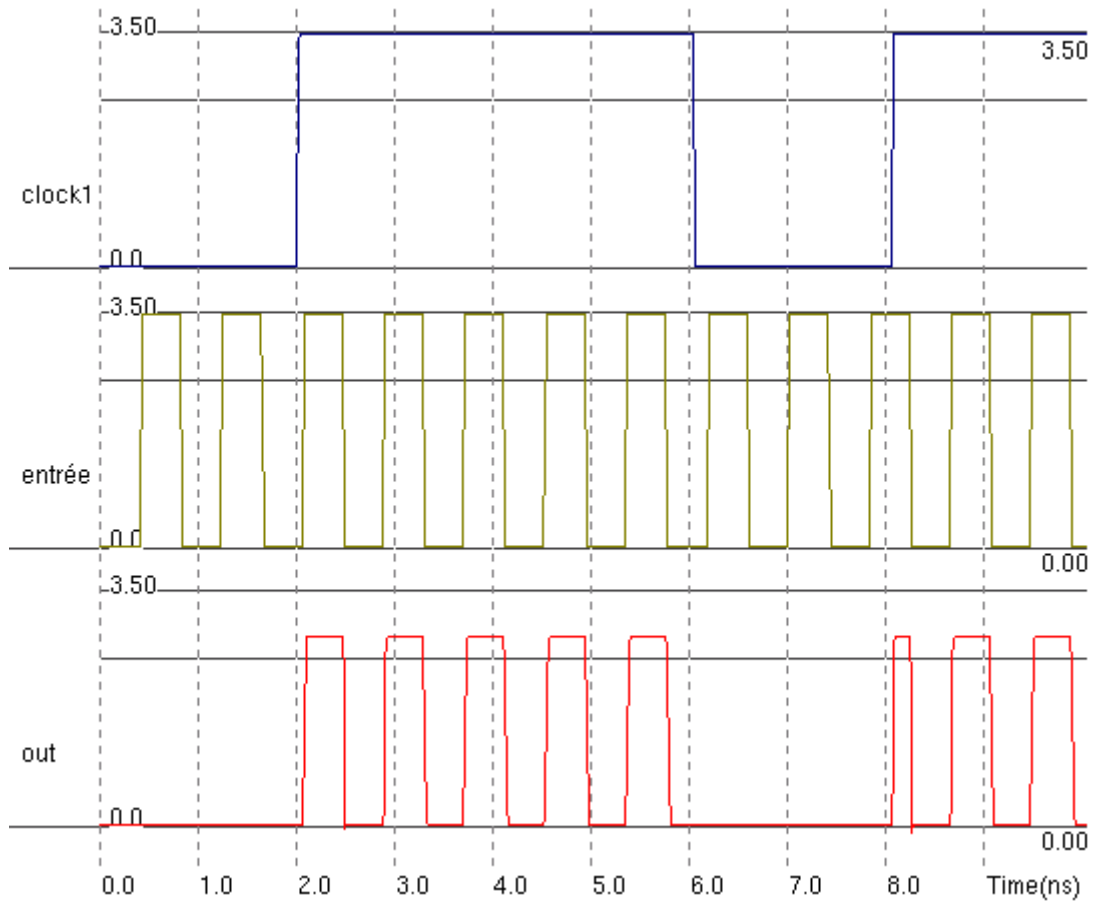


FIG. 23 – Transistor N-MOS $10 \times 0,25\mu\text{m}$ en commutation

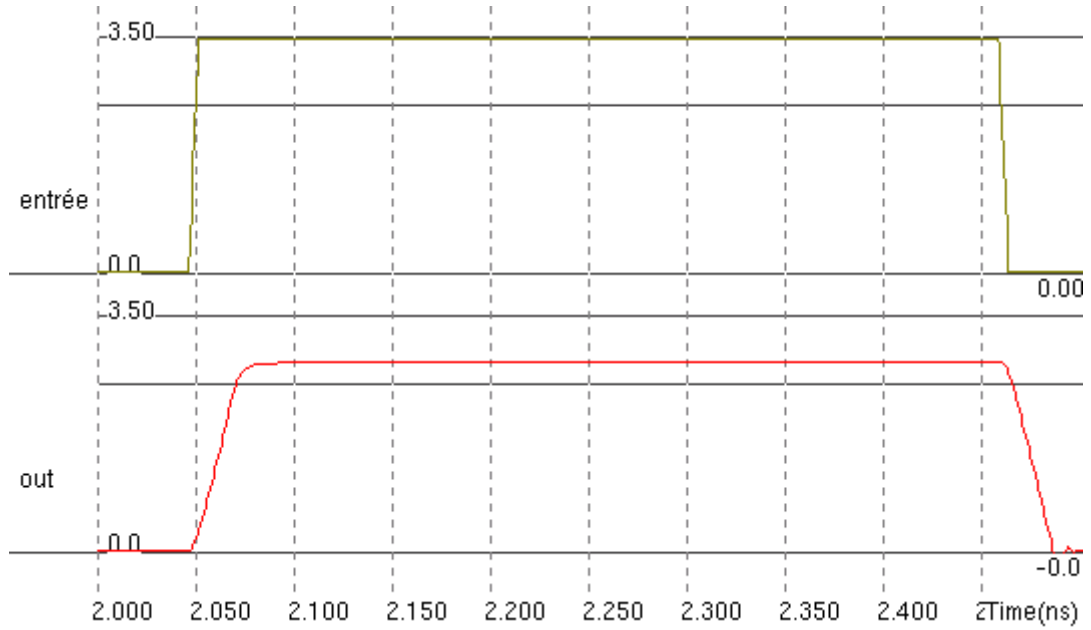


FIG. 24 – Effets capacitifs d'un transistor N-MOS $10 \times 0,25\mu\text{m}$ en commutation

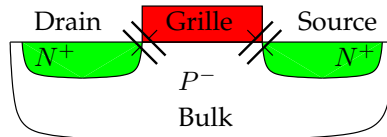


FIG. 25 – Capacités *parasites* interne à un transistor N-MOS

comportant des millions de transistors (par exemple le Pentium 4), cela peut devenir énorme ! Il faut savoir que plus le canal du transistor est petit, plus le courant de fuite est important et plus les capacités parasites ont d'influences.

Dans les circuits *pré-caractérisés*, nous ne pouvons pas *jouer* sur la largeur du transistor afin de modifier I_{DSmax} . Une solution consiste à mettre plusieurs transistors en *parallèle* afin d'avoir un transistor équivalent plus *large*.

Une dernière chose que nous n'avons pas vu, est que plus il y a de contacts sur les bornes du drain et de la source, plus la résistance d'accès est faible.

Un dernier petit mot à propos de ce que nous n'avons pas observé : les transistors *parasites* ! Il s'agit en fait d'un phénomène apparaissant lorsque deux transistors sont très proches et qu'une piste en métal passe entre ces derniers, comme nous pouvons le voir à la figure 26. Ce phénomène peut être destructeur dans un circuit, il faut donc faire attention à ce que cela ne se produise jamais !

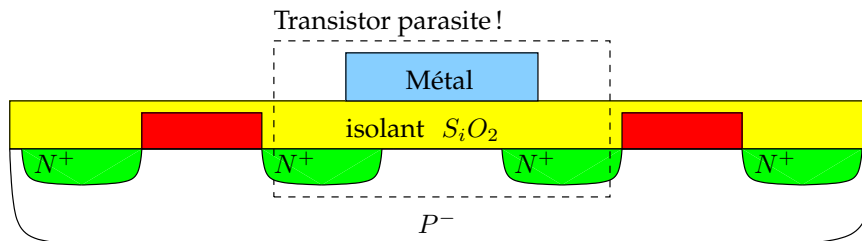


FIG. 26 – Transistor parasite

2.5 Transistor P-MOS

De la même manière que pour le transistor N-MOS, nous nous sommes rendu compte que la taille minimal du transistor était principalement dépendant de la taille minimale des contacts, comme nous pouvons le voir sur la figure 27. Il existe toutefois une différence importante, puisque le transistor P-MOS nécessite (dans notre cas) l'ajout d'un puits de diffusion N^+ . Cela a pour conséquence d'utiliser une plus grande surface pour implanter un transistor P-MOS, comme nous pouvons le voir à la figure 28.

2.5.1 Les différentes couches

Sur la figure 9, nous pouvons distinguer plusieurs couches :

- en bleu (mA1), le métal 1 ;
- en violet (co), le via du métal 1 jusqu'aux diffusion N^+ ;
- en rouge (po), le poly-silicium de la grille ;
- en marron (p+), les diffusions drain et source ;
- en vert (n-), le puits ;
- en gris (P-substrate), le substrat P^- .

2.5.2 Simulation statique

Les figures 30 à 41 nous montrent les caractéristiques d'un transistor P-MOS de taille $10 \times 0,25 \mu m$, en fonction des différents modèles que nous propose MicroWind.

Nous en tirons les mêmes conclusions que précédemment au sujet du modèle de niveau 1.

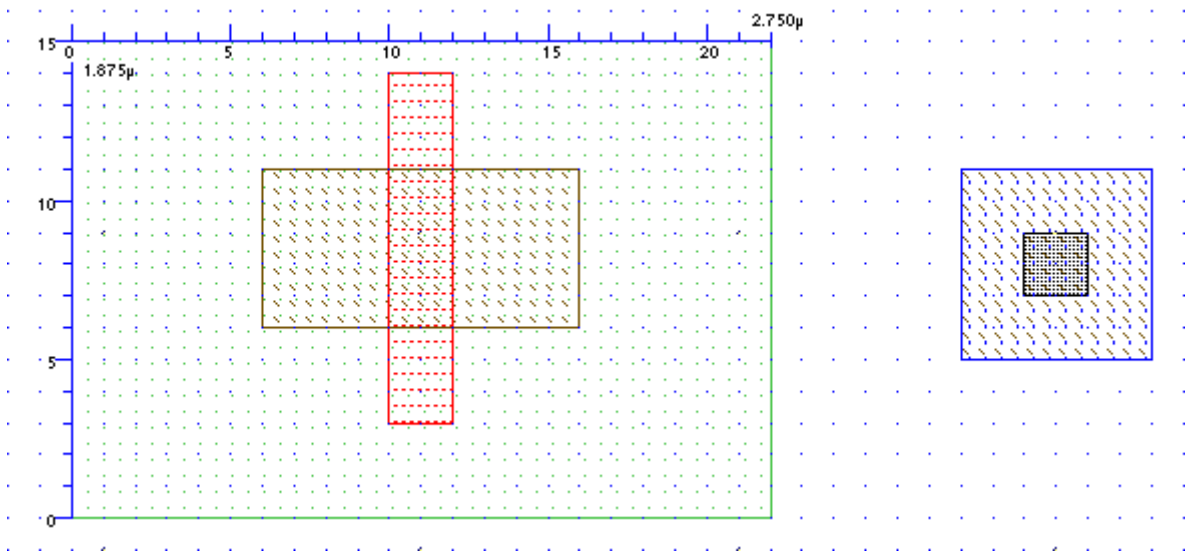


FIG. 27 – Transistor P-MOS minimal sans contacts

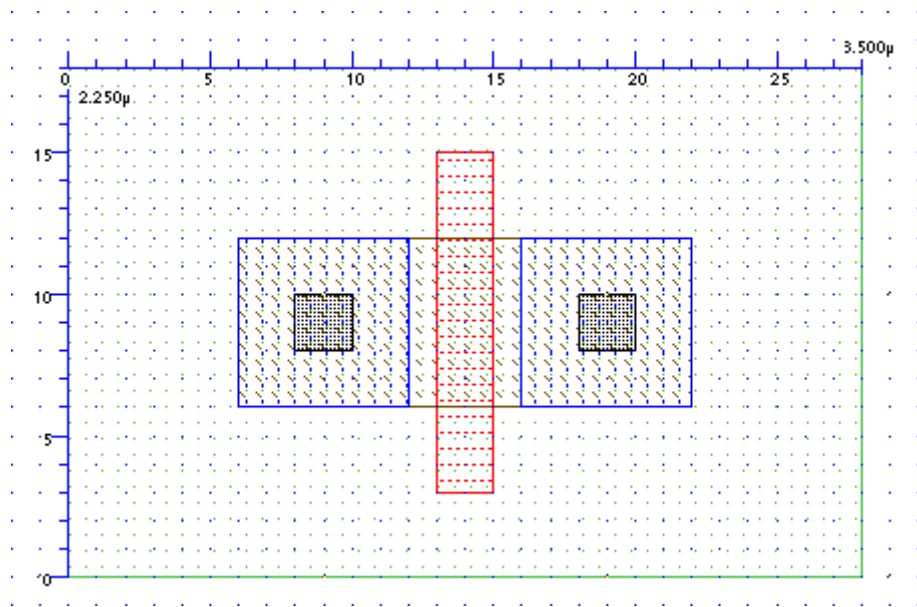


FIG. 28 – Transistor P-MOS minimal avec contacts

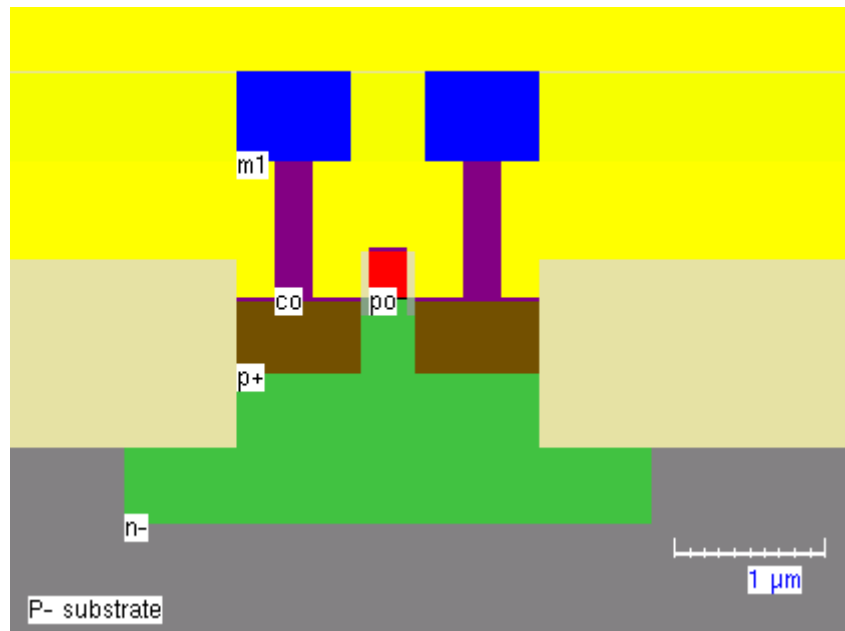


FIG. 29 – Transistor P-MOS minimal vu en coupe

Pour déterminer le courant I_{DS} maximum, nous utiliserons donc les caractéristiques obtenues avec le modèle BSIM4. Comme nous pouvons le voir à la figure 38, $I_{DS_{max}} \simeq 4,5\text{mA}$ lorsque $V_{DS} = 3,5\text{V}$, soit presque la moitié par rapport au même transistor en N-MOS.

D'après le modèle BSIM4, à la figure 41, la tension $V_{TH} \simeq 0\text{V}$ pour $V_{DS} = 3,5\text{V}$. Il s'agit sûrement d'un bogue de MicroWind ! Nous utiliserons donc cette fois le modèle de niveau 3, ce qui nous donne $V_{TH} \simeq 0,45\text{V}$, soit encore une fois presque la moitié par rapport au même transistor en N-MOS.

D'après le modèle BSIM4, à la figure 40, le courant de fuite I_{off} est égale à 10^{-8}A pour $V_{DS} = 3,5\text{V}$ et $V_{GS} = 0\text{V}$.

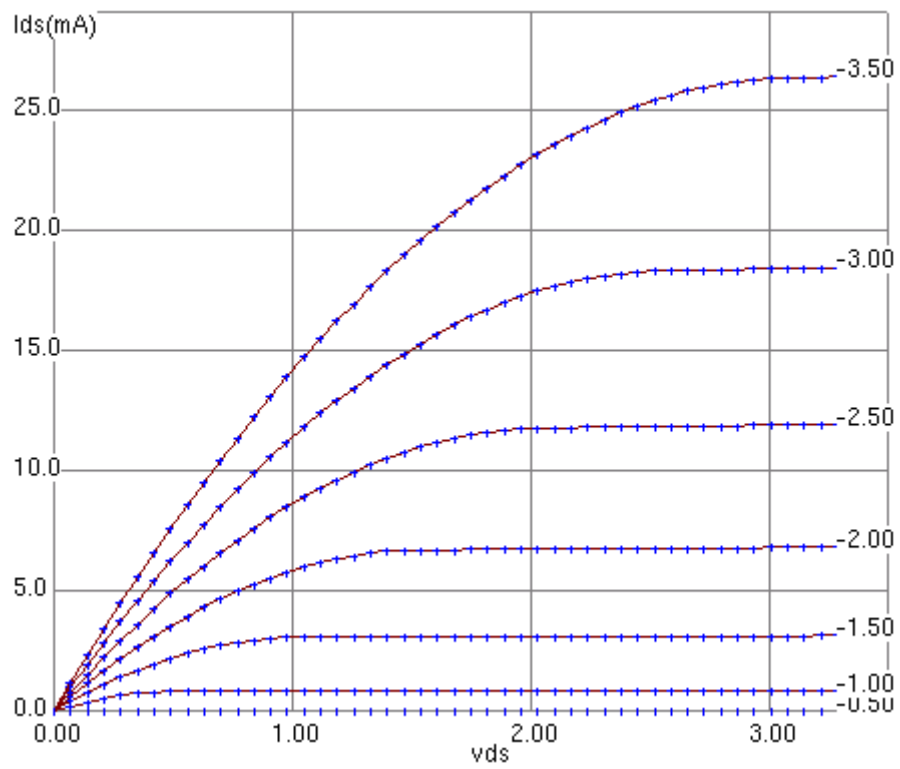


FIG. 30 – $I_D(V_{DS})$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 1

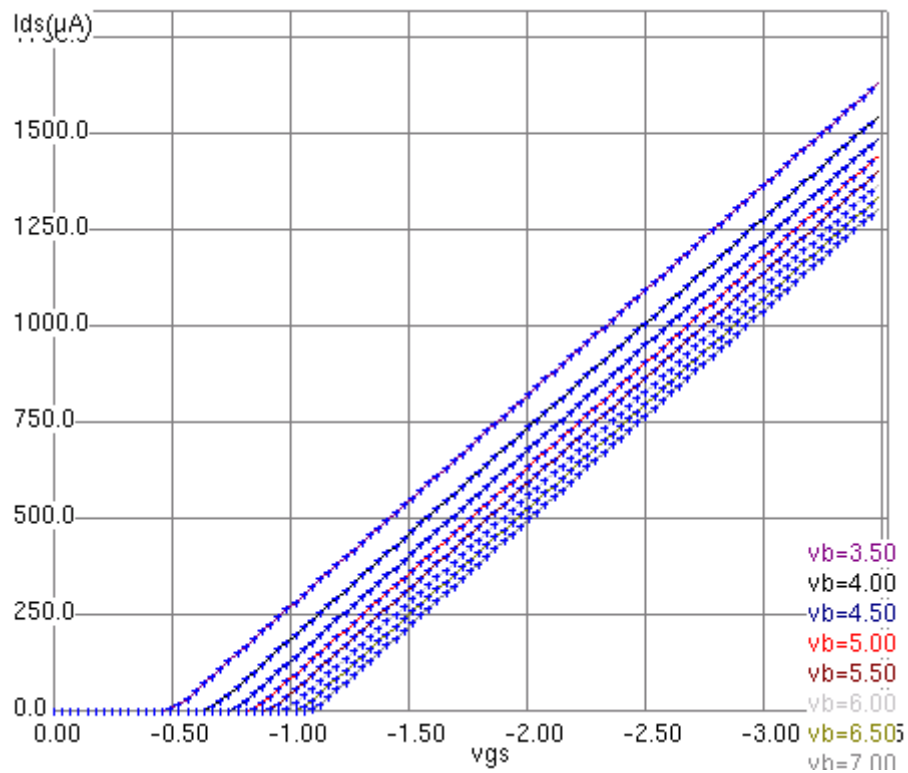


FIG. 31 – $I_D(V_{GS})$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 1

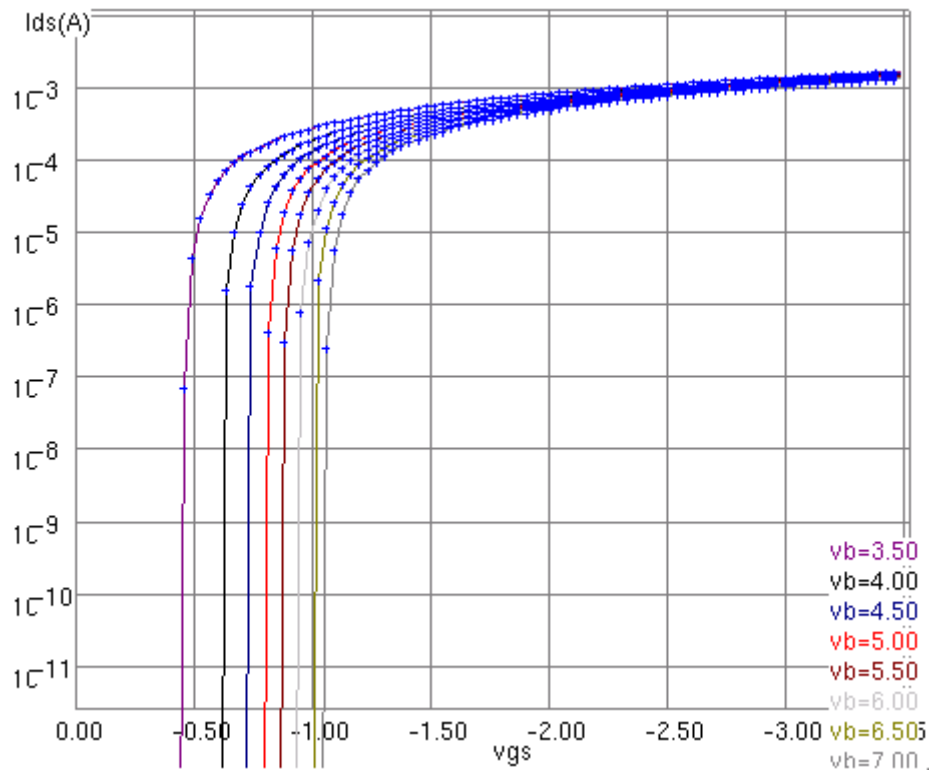


FIG. 32 – $I_D(\exp(V_{GS}))$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 1

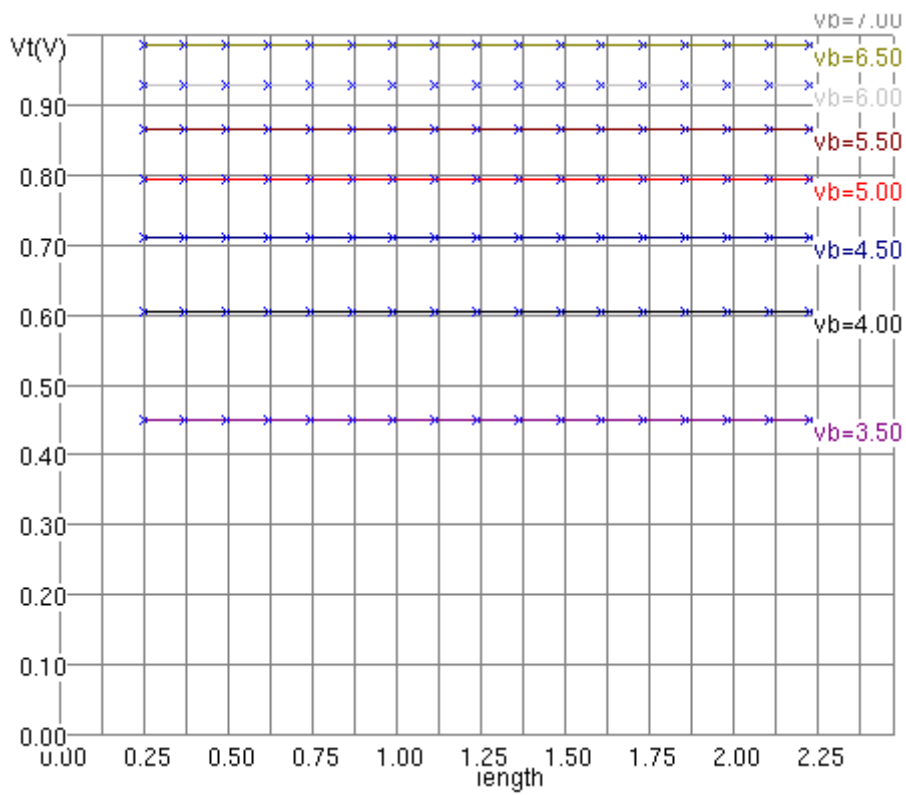


FIG. 33 – V_{TH} pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 1

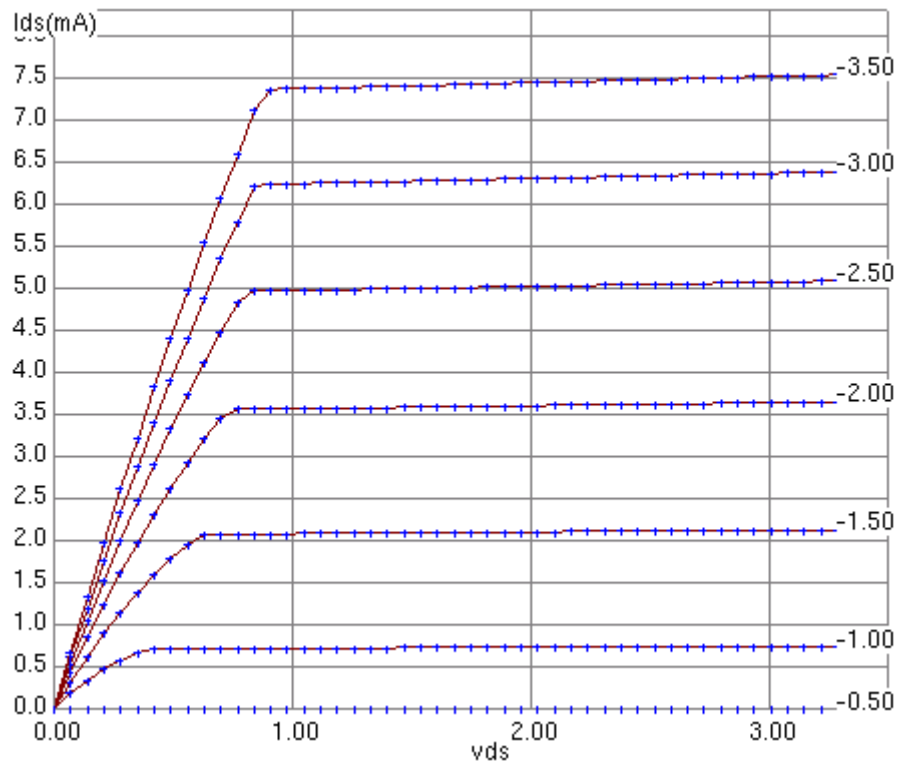


FIG. 34 – $I_D(V_{DS})$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 3

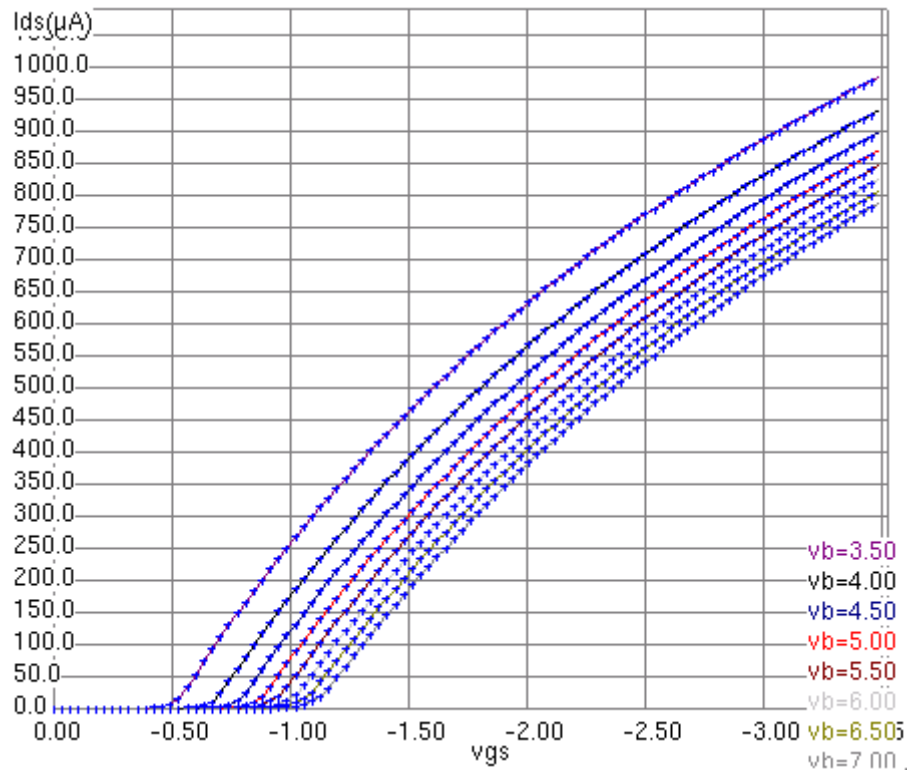


FIG. 35 – $I_D(V_{GS})$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 3

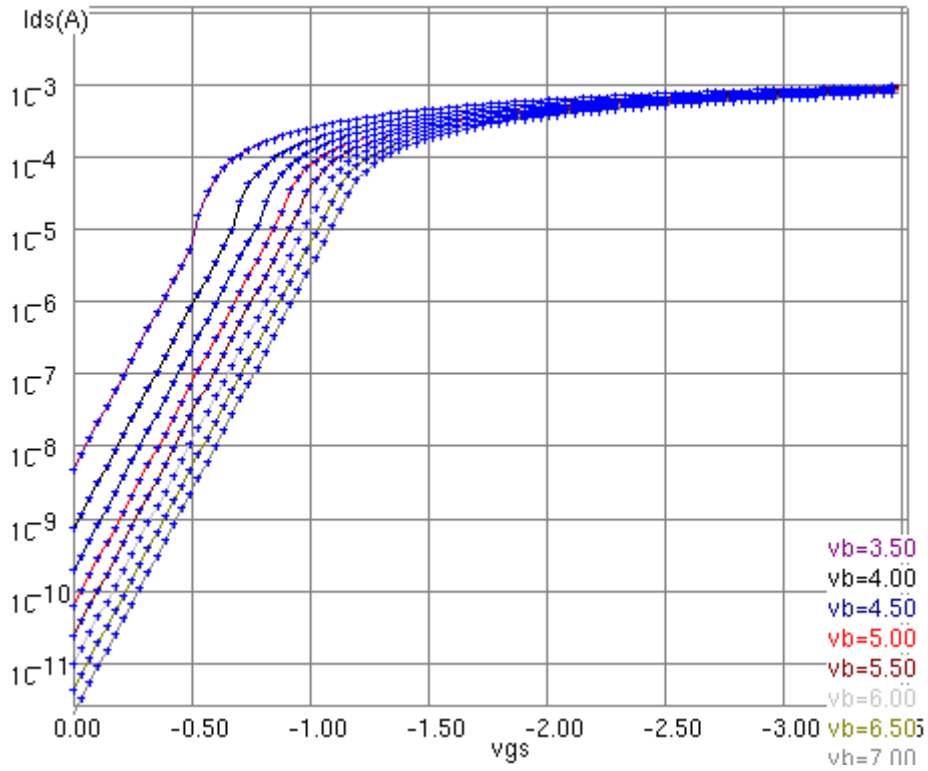


FIG. 36 – $I_D(\exp(V_{GS}))$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 3

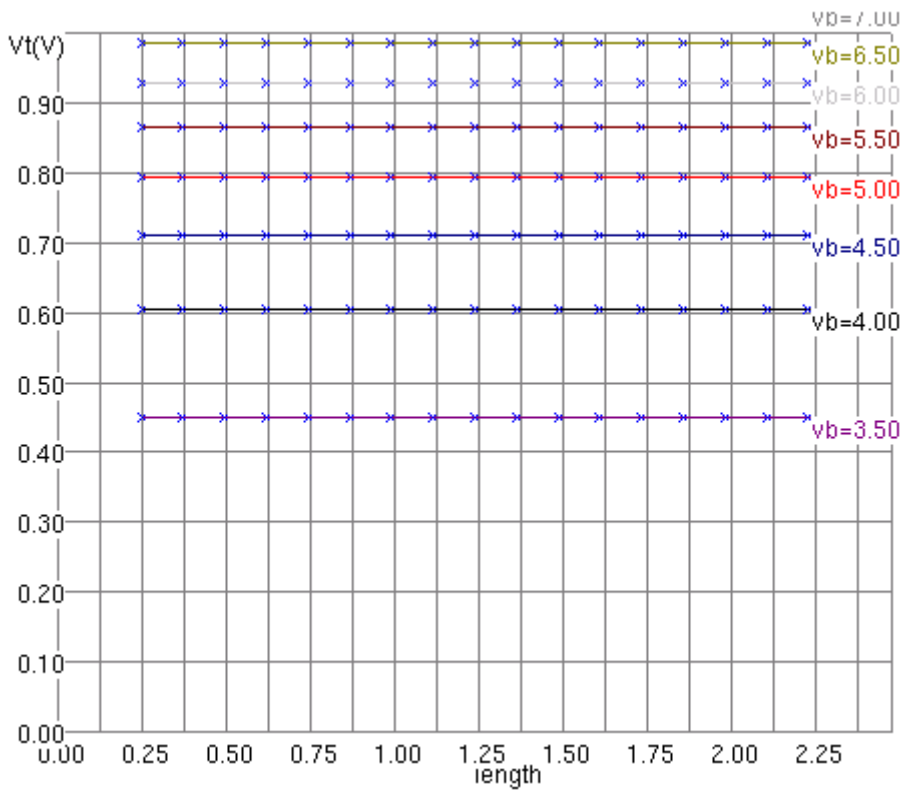


FIG. 37 – V_{TH} pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 3

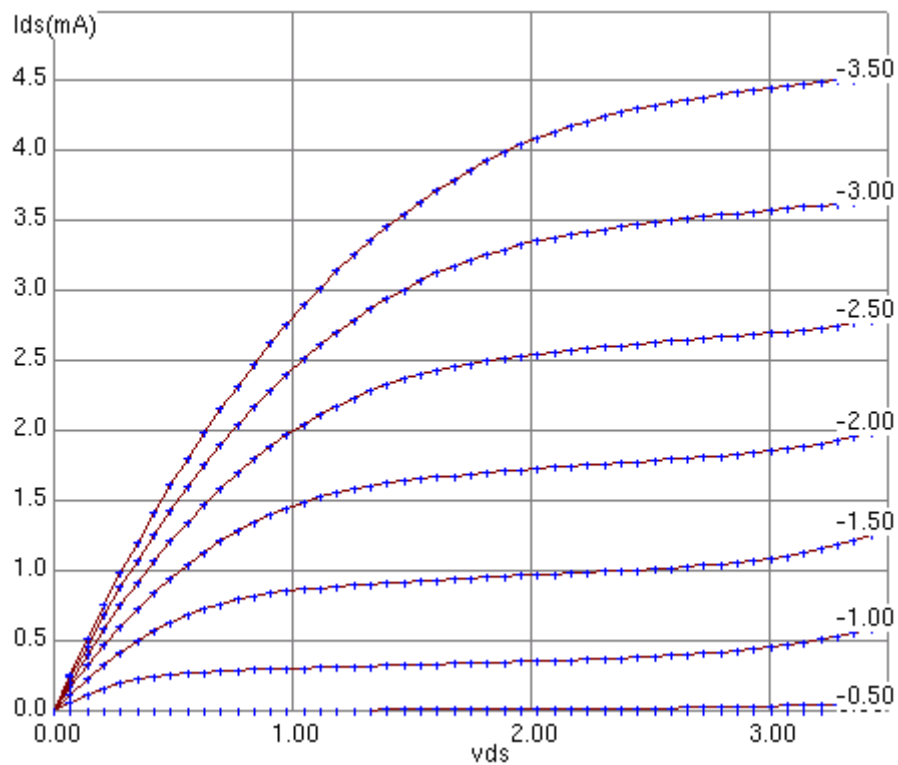


FIG. 38 – $I_D(V_{DS})$ pour un transistor P-MOS $10 \times 0,25 \mu\text{m}$, en BSIM 4

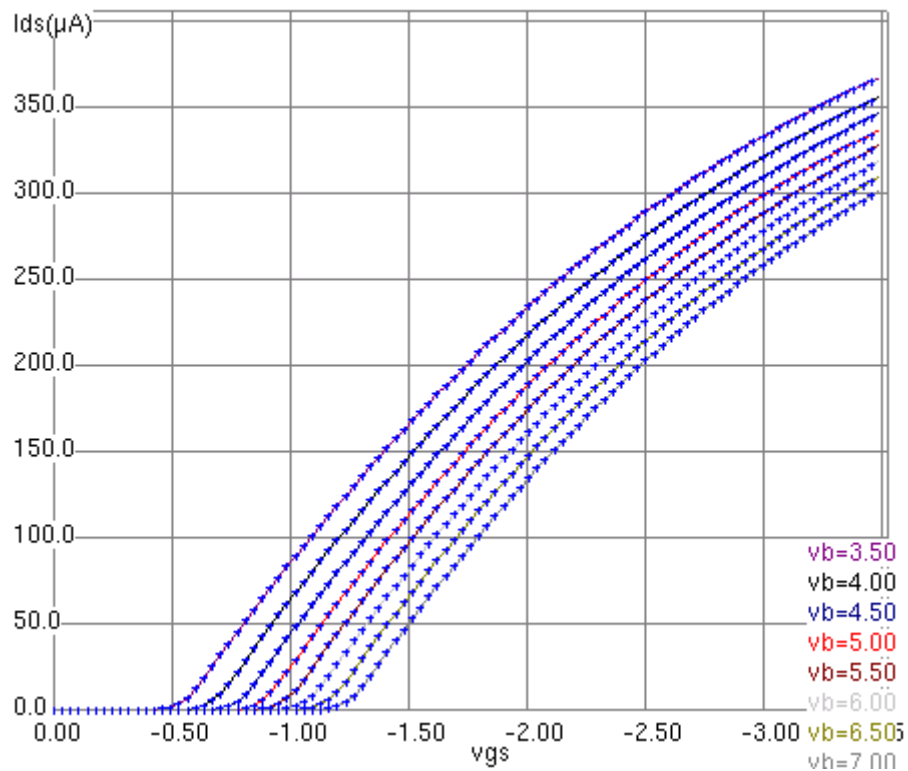


FIG. 39 – $I_D(V_{GS})$ pour un transistor P-MOS $10 \times 0,25 \mu\text{m}$, en BSIM 4

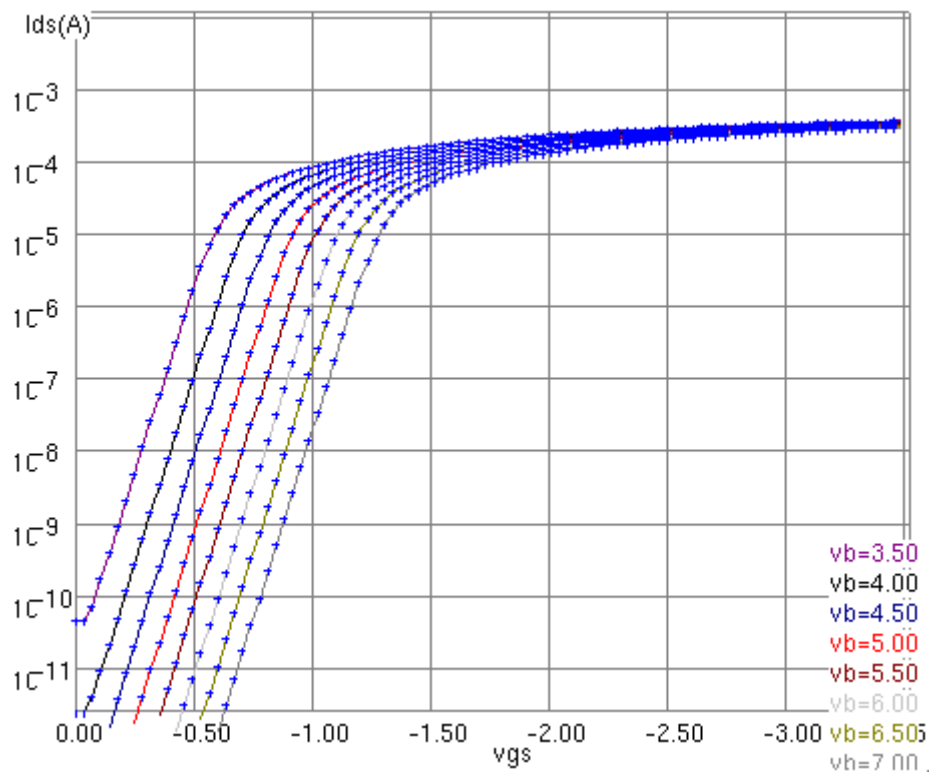


FIG. 40 – $I_D(\exp(V_{GS}))$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en BSIM 4

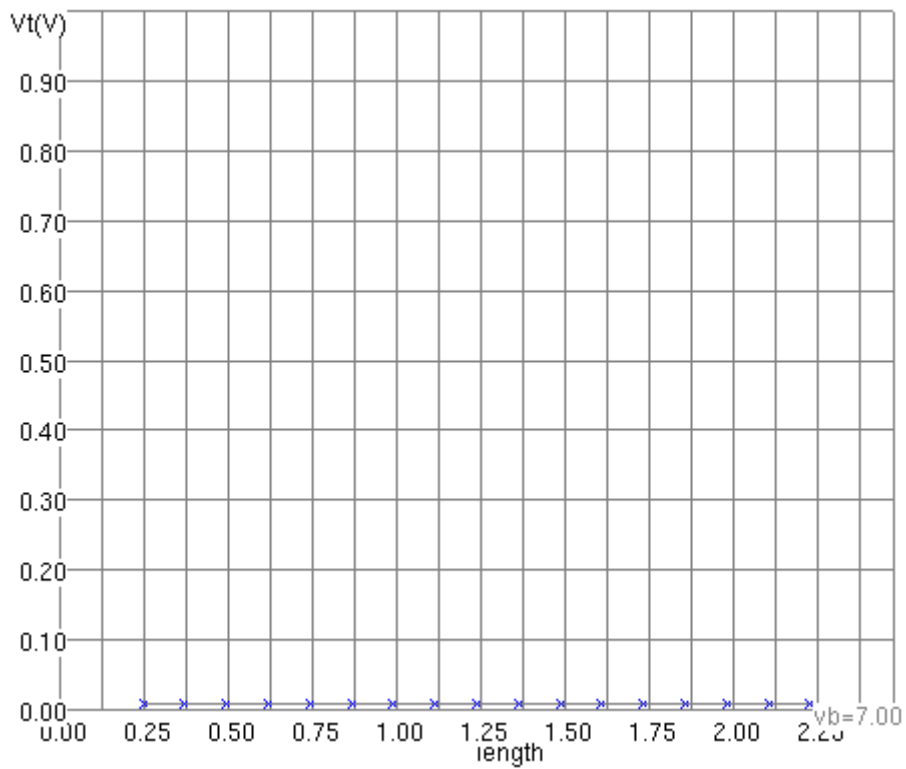


FIG. 41 – V_{TH} pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en BSIM 4

2.5.3 Simulation dynamique

Afin d'observer les caractéristiques dynamiques de notre transistor P-MOS minimal, nous avons effectué le montage de la figure 42. Le signal d'entrée est caractérisé par :

- Time Low = 0,07 ns ;
- Rise Time = 0,001 ns ;
- Time High = 0,07 ns ;
- Fall Time = 0,001 ns.

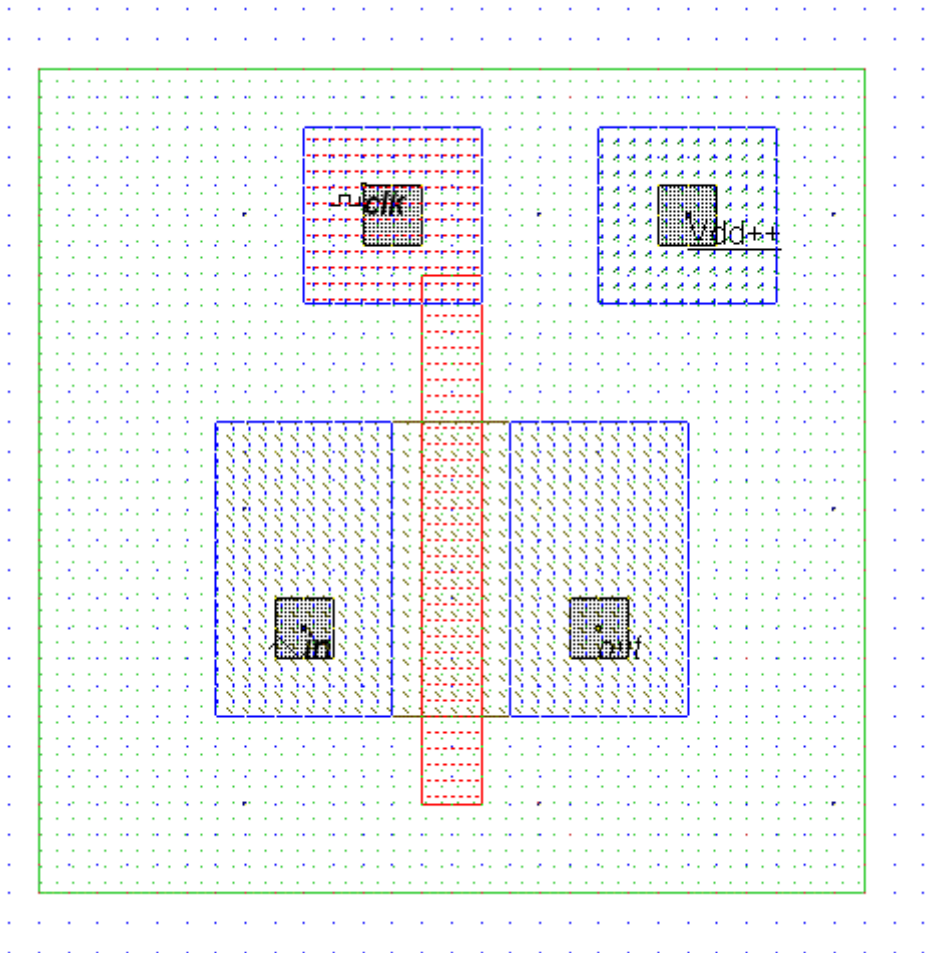


FIG. 42 – Polarisation d'un transistor P-MOS $10 \times 0,25\mu\text{m}$

Nous avons alors obtenu le graphique de la figure 43. Nous pouvons alors observer le délai de notre transistor, et nous voyons aussi que la tension de sortie n'est pas égale à 0 lorsque l'entrée est à 0, mais est égale à V_{TH} .

Lorsque la grille est au niveau haut, le signal sur le drain ne traverse pas le transistor. Par contre en appliquant un niveau bas sur la grille, le signal sur le drain traverse le transistor. Nous pouvons remarquer que sur la source, le niveau bas vaut V_{TH} et non pas V_{SS} . Le P-MOS est donc lui aussi un mauvais interrupteur car il ne laisse pas passer le niveau bas correctement. De la même manière que pour le transistor N-MOS, nous pouvons observer sur la figure 44, des effets capacitifs sur le transistor P-MOS.

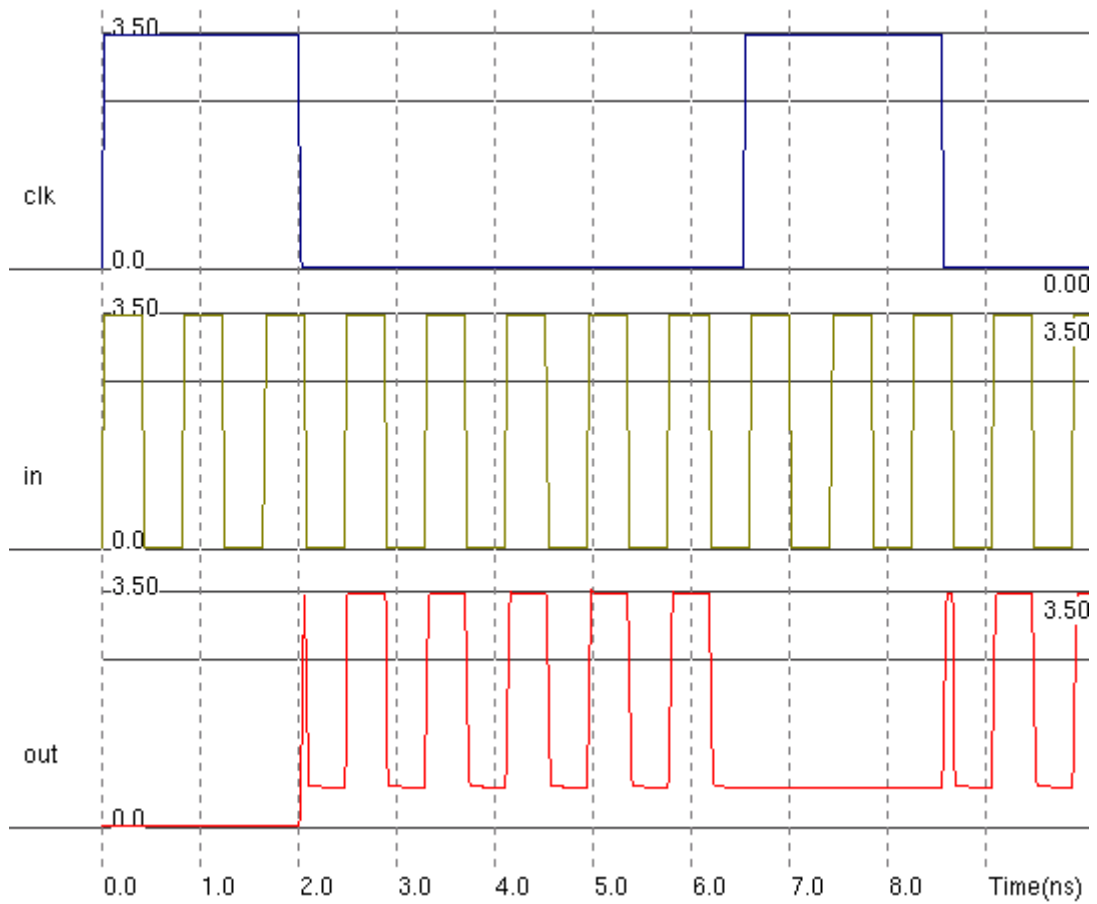


FIG. 43 – Transistor P-MOS $10 \times 0,25\mu\text{m}$ en commutation

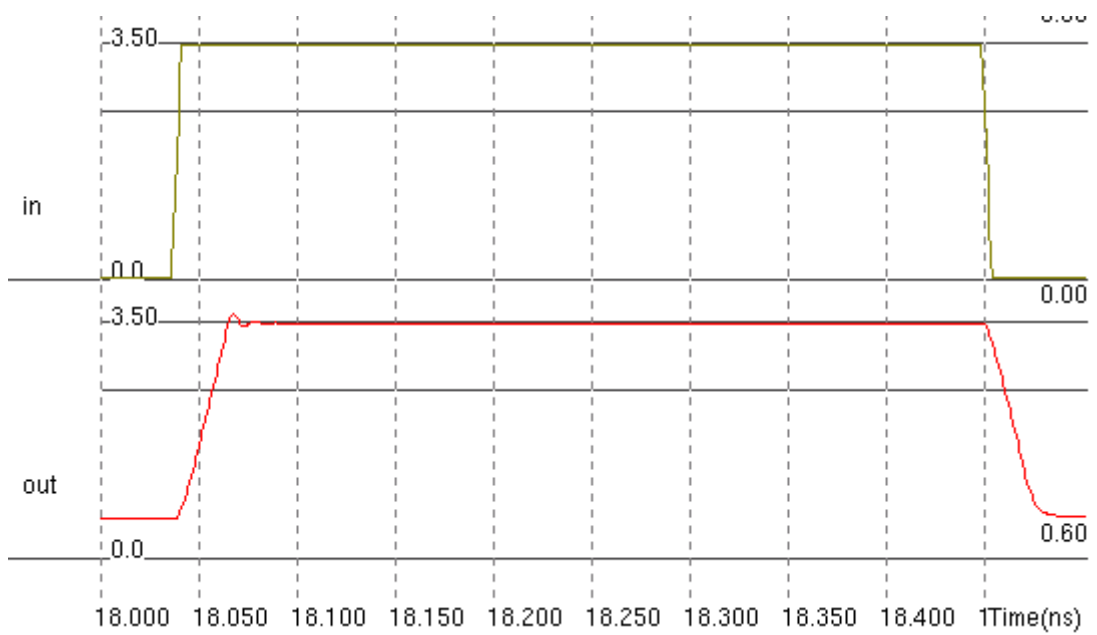


FIG. 44 – Effets capacitifs d'un transistor P-MOS $10 \times 0,25\mu\text{m}$ en commutation

2.5.4 Conclusions

Nous pouvons donc tirer les mêmes conclusions que pour le transistors N-MOS.

L'une des principale différence avec le P-MOS, mise à part son fonctionnement, est le fait que $I_{DS\max}$ et V_{TH} sont deux fois plus petit par rapport à un transistor N-MOS de taille égale. Il faudra donc faire attention lorsque l'on souhaitera avoir une porte utilisant les deux types de transistors, si on souhaite avoir un fonctionnement symétrique. Nous aurons un exemple à la section 2.7.

2.6 Rappels sur la logique C-MOS

Comme nous l'avons vu à la section 2.4.5, nous pourrions utiliser un simple transistor N-MOS pour réaliser un inverseur logique, mais comme nous l'avons signalé un tel montage consommerait énormément de courant lorsque le transistor serait passant (court-circuit entre le Drain à V_{DD} et la source à 0 V), sans parler du fait que le signal d'entrée ne serait pas totalement retransmit ⁶. L'intérêt de la logique C-MOS est qu'une porte logique ne consomme du courant uniquement lors de la commutation. Cela est réalisable en *reliant* la fonction logique à des transistors N-MOS et en y branchant le *complémentaire* ⁷ réalisé avec des transistors P-MOS, comme nous pouvons le voir à la figure 45. Cela permet de n'avoir aucun courant qui circule lorsque la porte est inactive, tout comme lorsqu'elle est activée ! De plus, en logique C-MOS, nous faire seulement des portes logiques inverseuses, ce qui veut dire que lorsque l'on souhaite avoir la fonction $f(A, B, C)$, on réalisera la fonction $\overline{f(A, B, C)}$ suivi d'un inverseur logique.

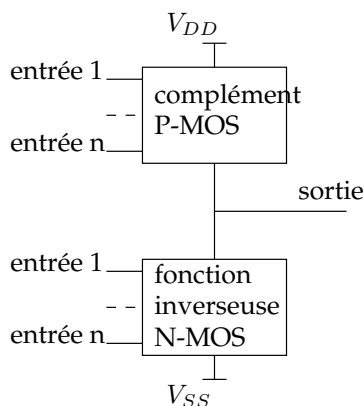


FIG. 45 – Principe de la logique C-MOS

Nous définissons le complémentaire d'une fonction logique par :

- lorsque l'on a une branche série, son complémentaire est une branche parallèle ;
- lorsque l'on a une branche parallèle, son complémentaire est une branche série ;
- lorsque l'on a un transistor N-MOS, son complémentaire est un transistor P-MOS.

En conséquence, nous réaliserons un inverseur logique C-MOS avec un transistor N-MOS et avec son complémentaire, un transistor P-MOS. Nous aurons des exemples bien plus pertinents aux sections 2.10, 2.9, 2.11 et 90, qui traitent de fonctions logiques plus complexes.

⁶pour rappel, à la section 2.4.4, lorsque $V_e = V_{DD}$ on a $V_s = V_{DD} - V_{TH}$.

⁷aucun rapport avec la logique complémentaire.

2.7 Inverseur

2.7.1 Schéma et principe de fonctionnement

Regardons le principe de fonctionnement de l'inverseur logique C-MOS. Il fonctionne principalement avec deux valeurs d'entrée :

$V_e = 0$: - $V_{GS_N} = 0$, alors le transistor N est bloqué, donc $I_{DS_N} = 0$;
- $V_{SG_P} = V_{DD} > V_{TH}$, alors le transistor P conduit, mais $I_{DS_P} = I_{DS_N} = 0$.

Comme nous pouvons finalement le voir sur la figure 47, $V_s = V_{DD}$.

$V_e = V_{DD}$: - $V_{SG_P} = 0$, alors le transistor P est bloqué, donc $I_{DS_P} = 0$;
- $V_{GS_N} = V_{DD} > V_{TH}$, alors le transistor N conduit, mais $I_{DS_N} = I_{DS_P} = 0$.

Nous sommes donc dans la situation de la figure 46, où $V_s = 0$.

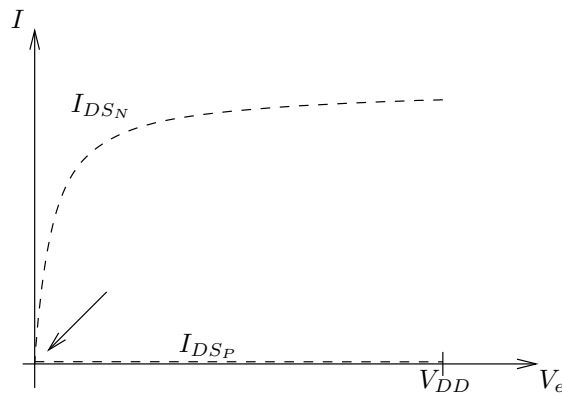


FIG. 46 – Caractéristique de l'inverseur pour $V_e = V_{DD}$

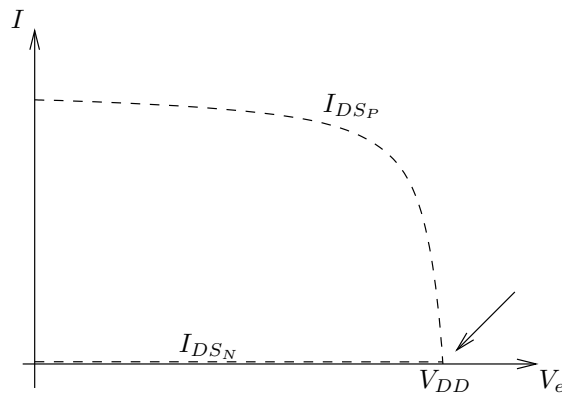


FIG. 47 – Caractéristique de l'inverseur pour $V_e = 0$

Cependant, il n'est pas forcément nécessaire que V_e soit strictement égale à $0V$ ou V_{DD} , puisque l'inverseur *régénère* le signal si l'entrée est dans sa marge de bruit. Nous pouvons effectivement observer la figure 48 que lorsque $V_e = V_{DD} - \epsilon$, $V_s = 0V$. On dit que le signal est régénéré... Pour définir la marge de bruit, il faut observer les points où les tangentes de la fonction de transfert sont égales à -1 .

2.7.2 Dessin et masques

Notre inverseur est dessiné à la figure 49.

Les étapes de fabrication d'un inverseur à partir des masques sont présentées de la figure 50 à la figure 65.

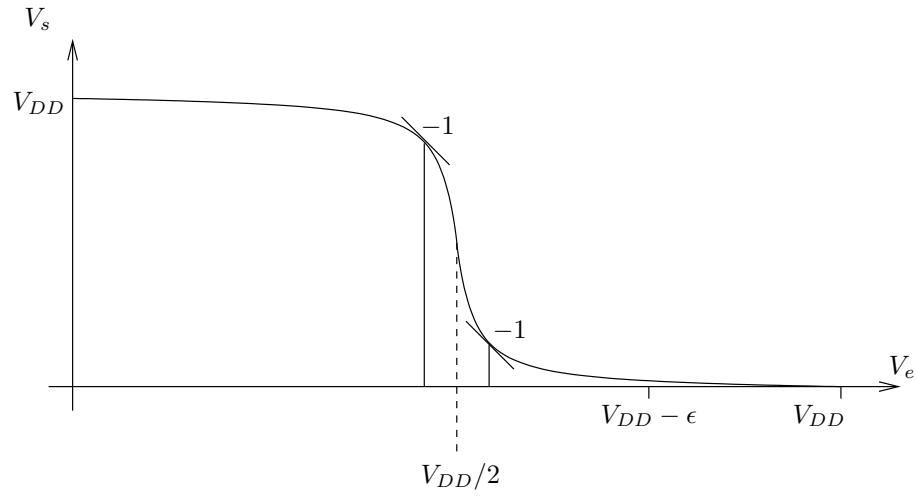


FIG. 48 – Fonction de transfert d'un inverseur *symétrique*

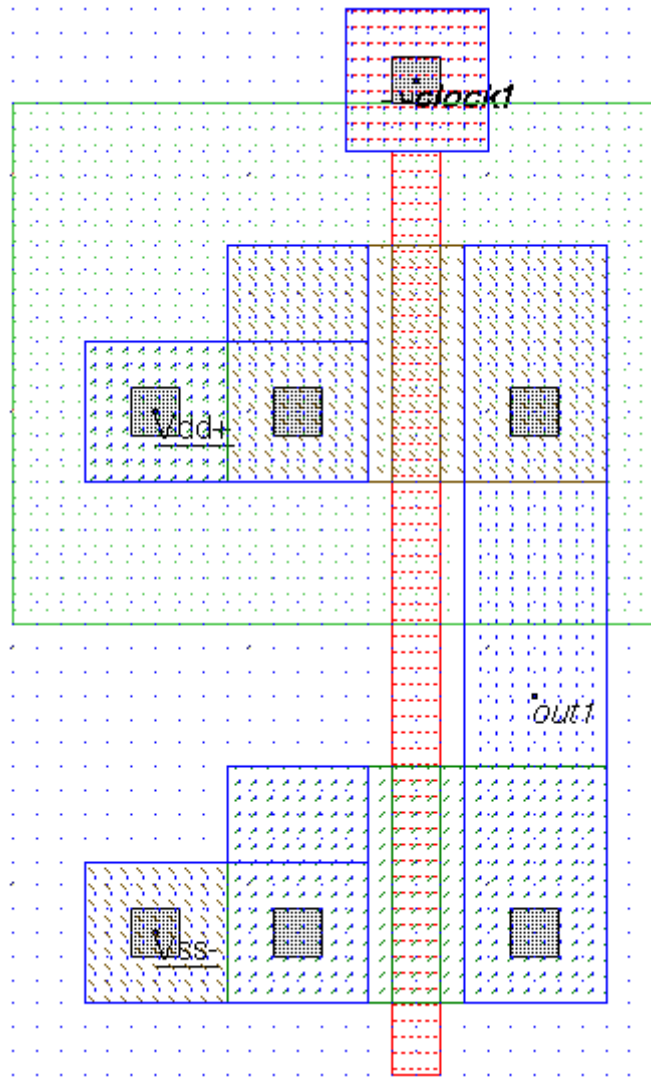


FIG. 49 – Dessin de notre inverseur

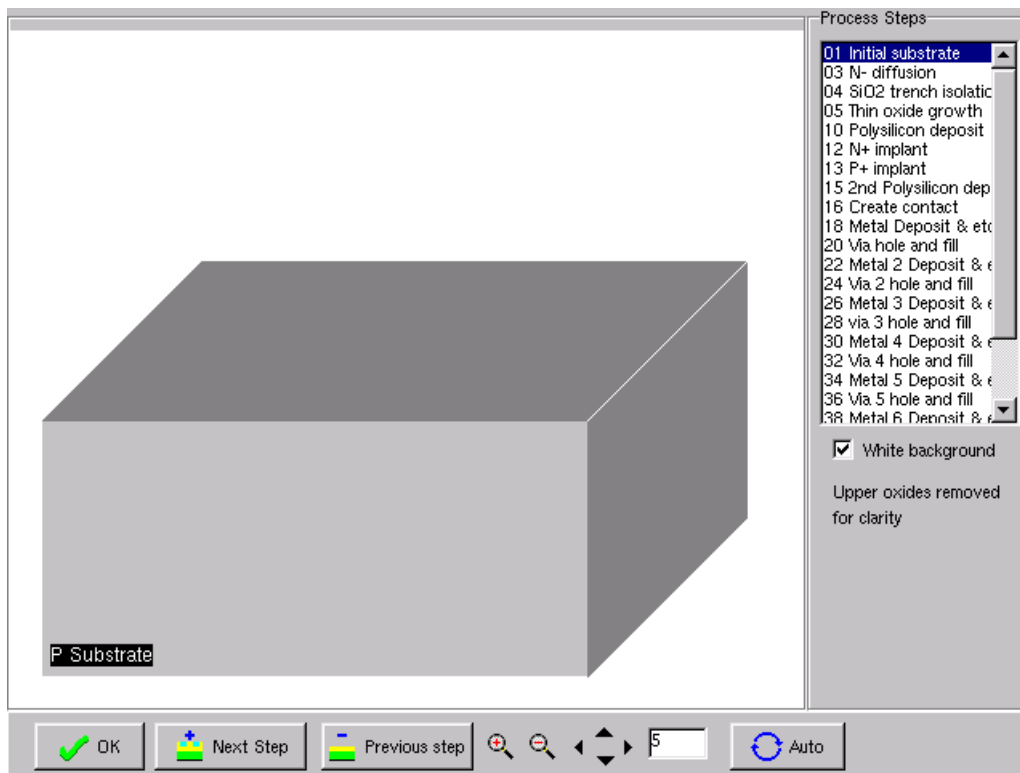


FIG. 50 – Substrat brute

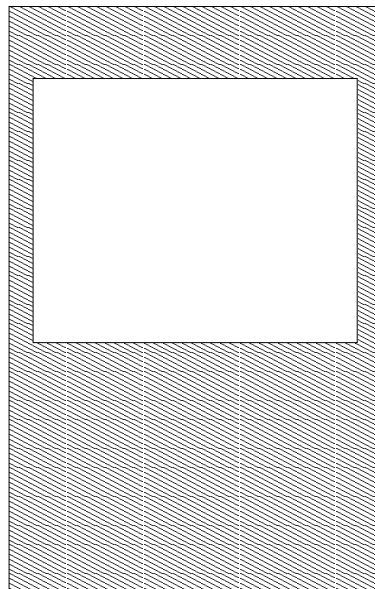


FIG. 51 – Masque pour la création du puits N⁻

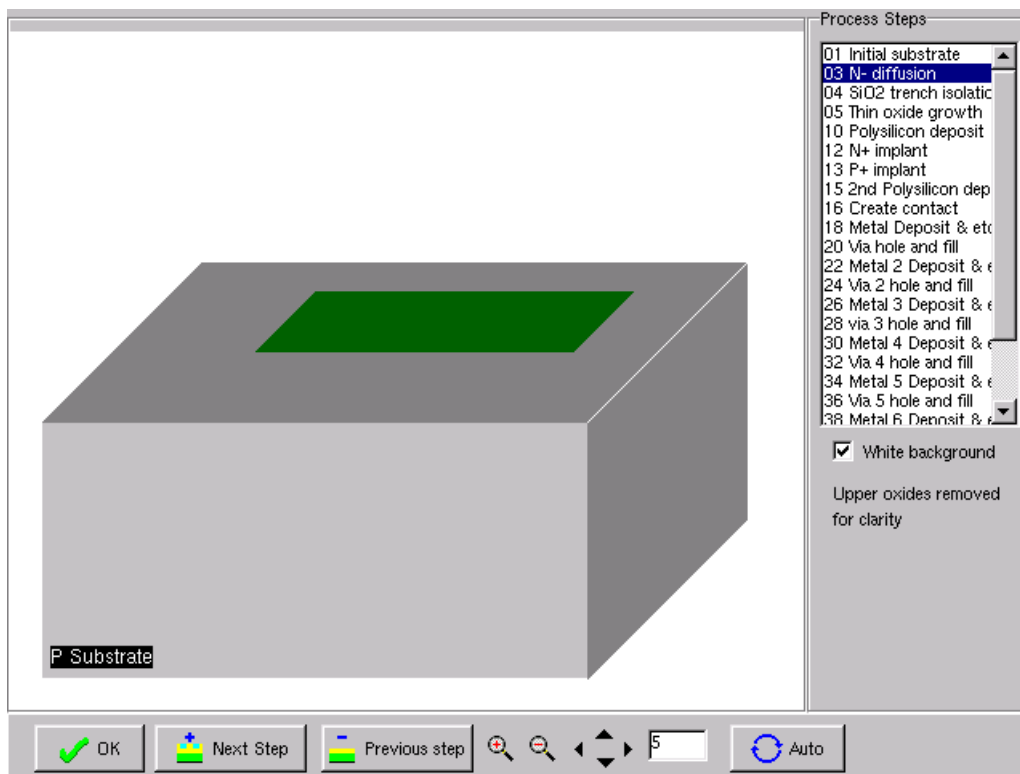


FIG. 52 – Création du puits N^- pour le transistor P-MOS

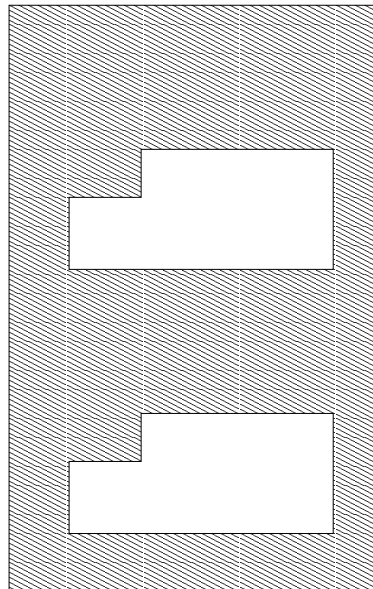


FIG. 53 – Masque pour l'isolant et la fine couche d'oxyde

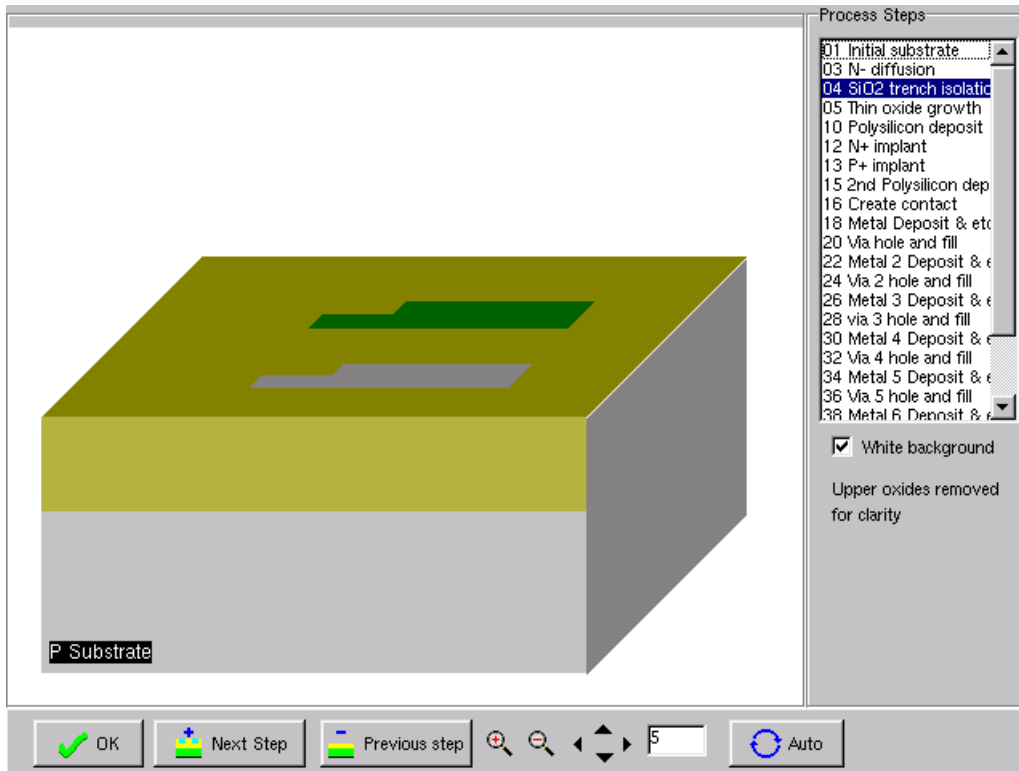


FIG. 54 – Dépôt de l'isolant (SiO_2)

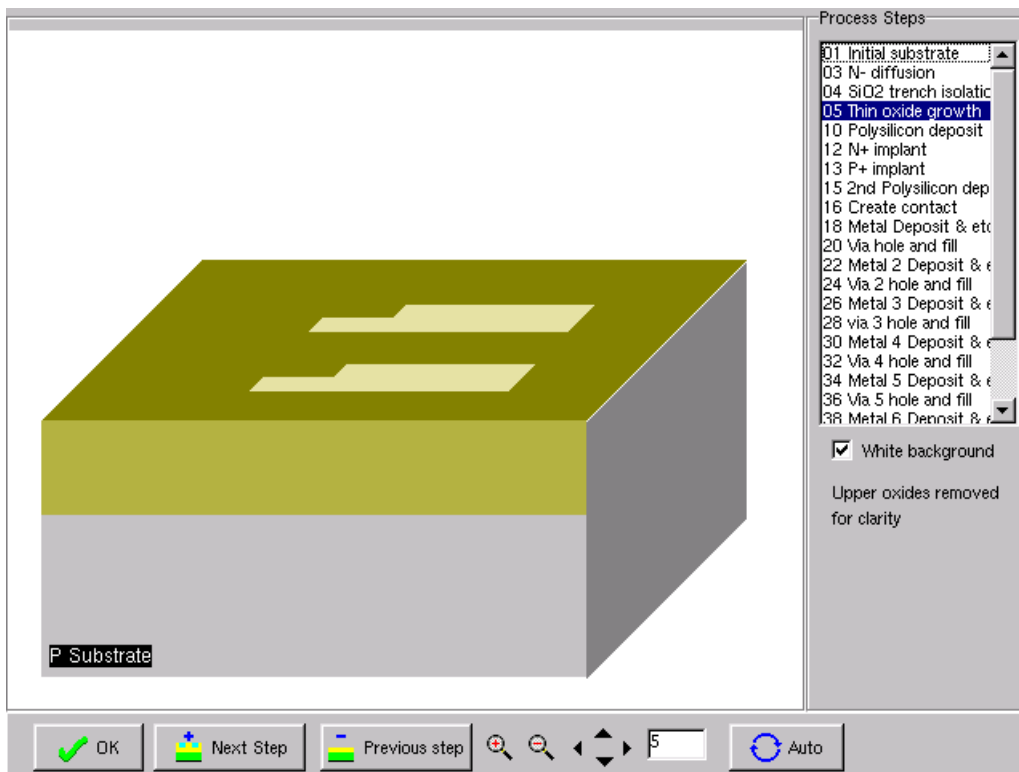


FIG. 55 – Dépôt d'une fine couche d'oxyde

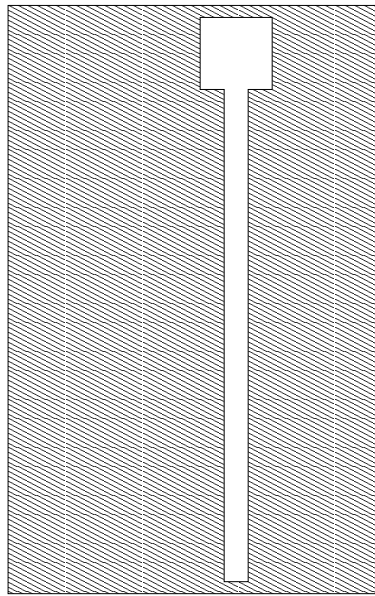


FIG. 56 – Masque pour le poly-silicium

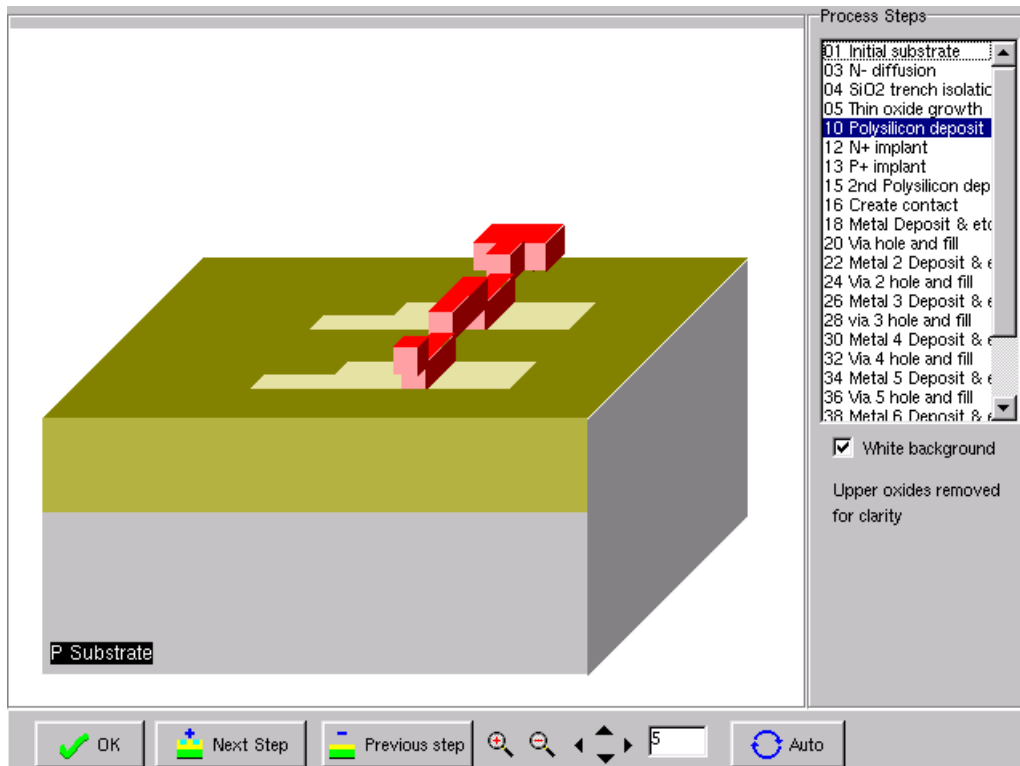


FIG. 57 – Dépôt du poly-silicium

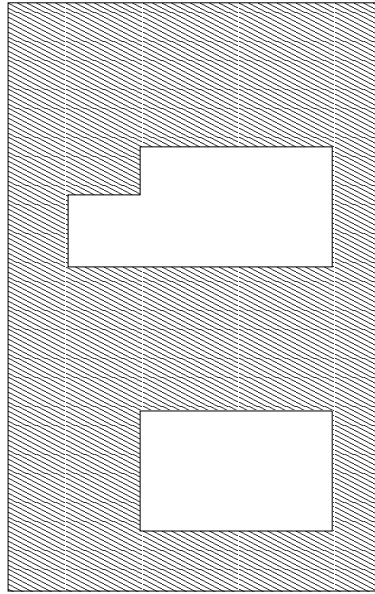


FIG. 58 – Masque pour les jonctions N^+

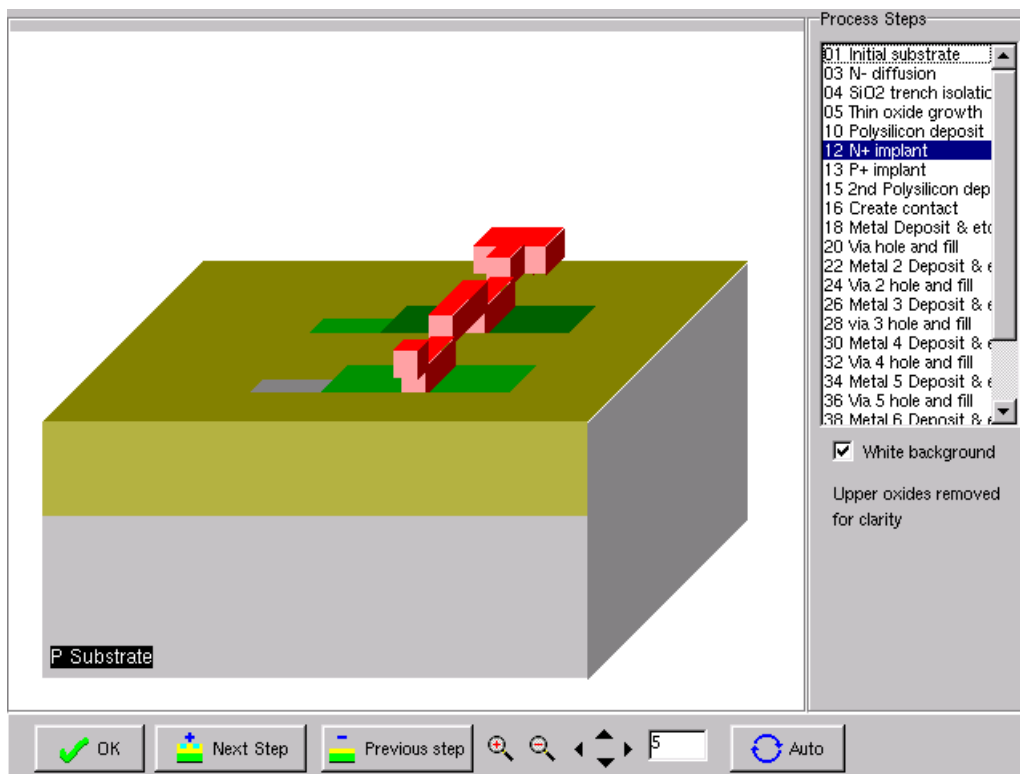


FIG. 59 – Implant des jonctions N^+

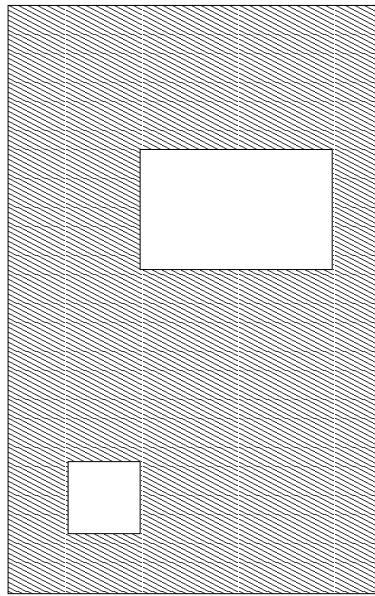


FIG. 60 – Masque pour les jonctions P^+

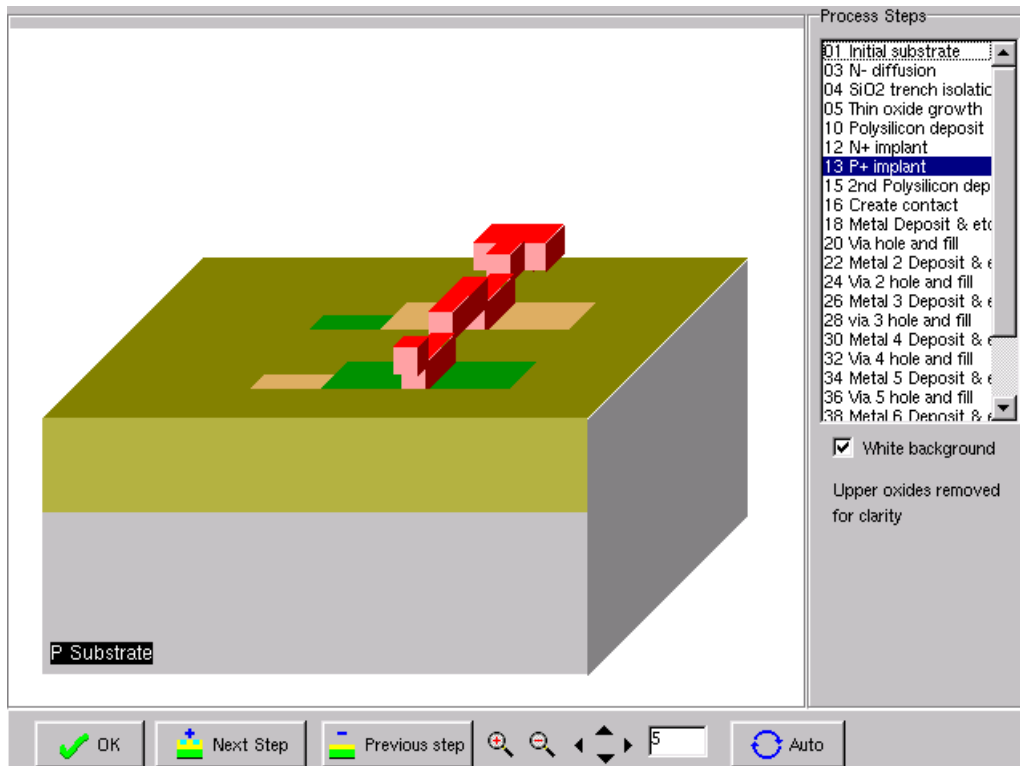


FIG. 61 – Implant des jonctions P^+

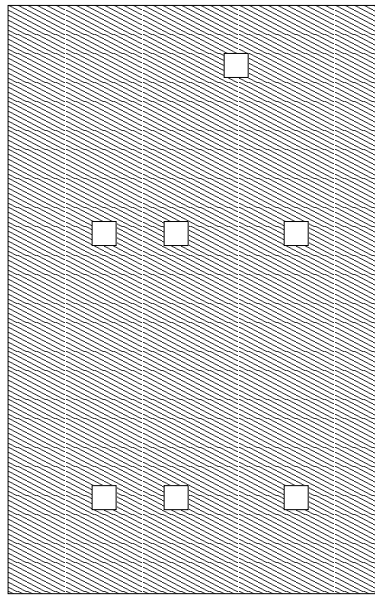


FIG. 62 – Masque pour les vias entre le poly-silicium et le niveau 1

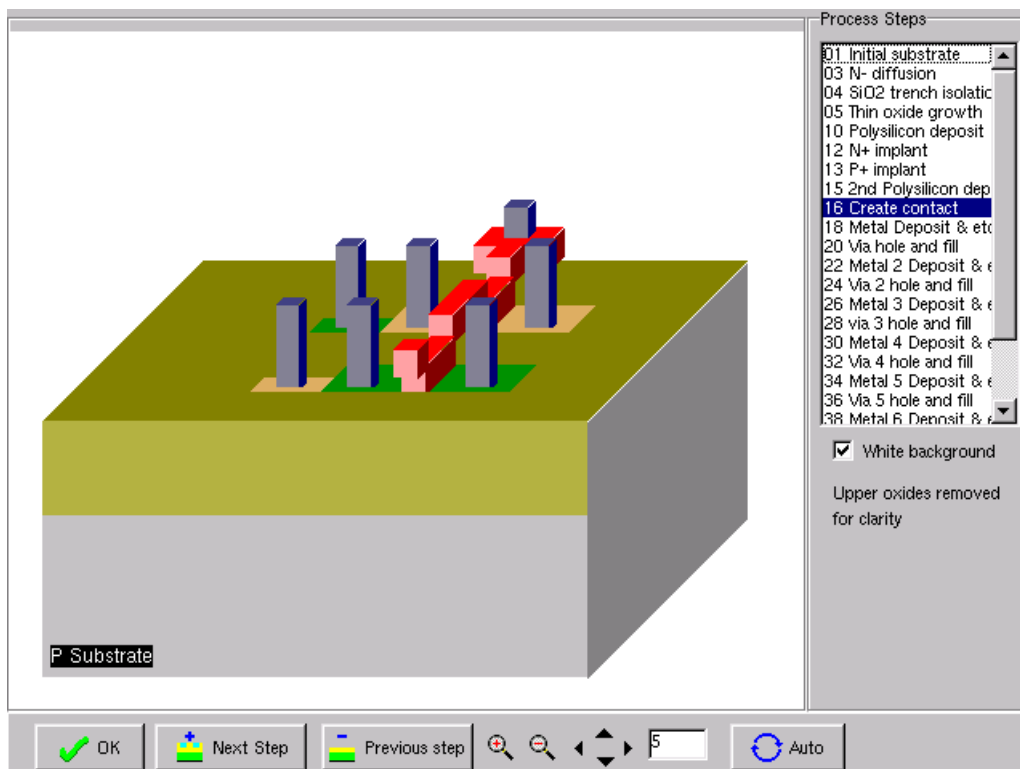


FIG. 63 – Création des vias entre le poly-silicium et le niveau 1

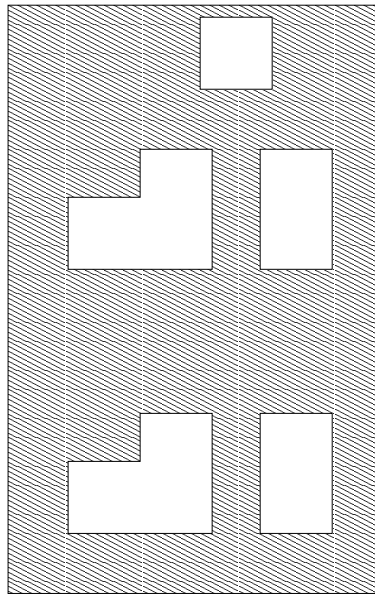


FIG. 64 – Masque pour les contacts en métal de niveau 1

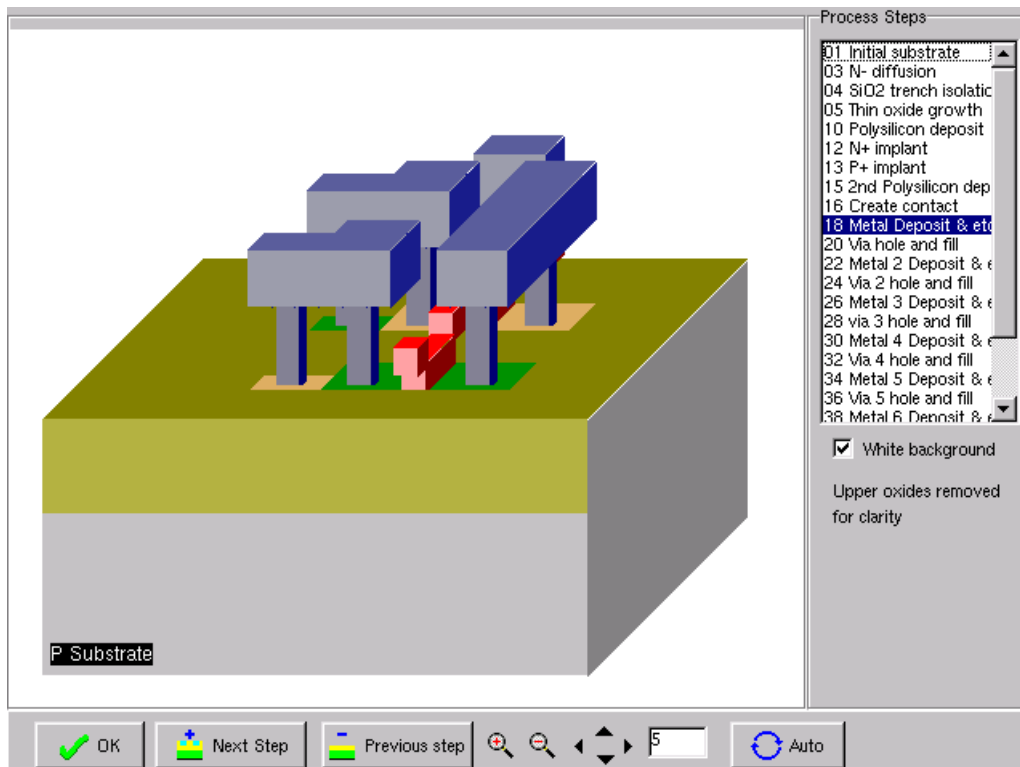


FIG. 65 – Création des contacts en métal de niveau 1

2.7.3 Simulation dynamique

La figure 66 nous donne le délai de notre inverseur. Nous pouvons observé qu'il est de l'ordre de 11 ps lors de la montée et de 18 ps lors de la descente.

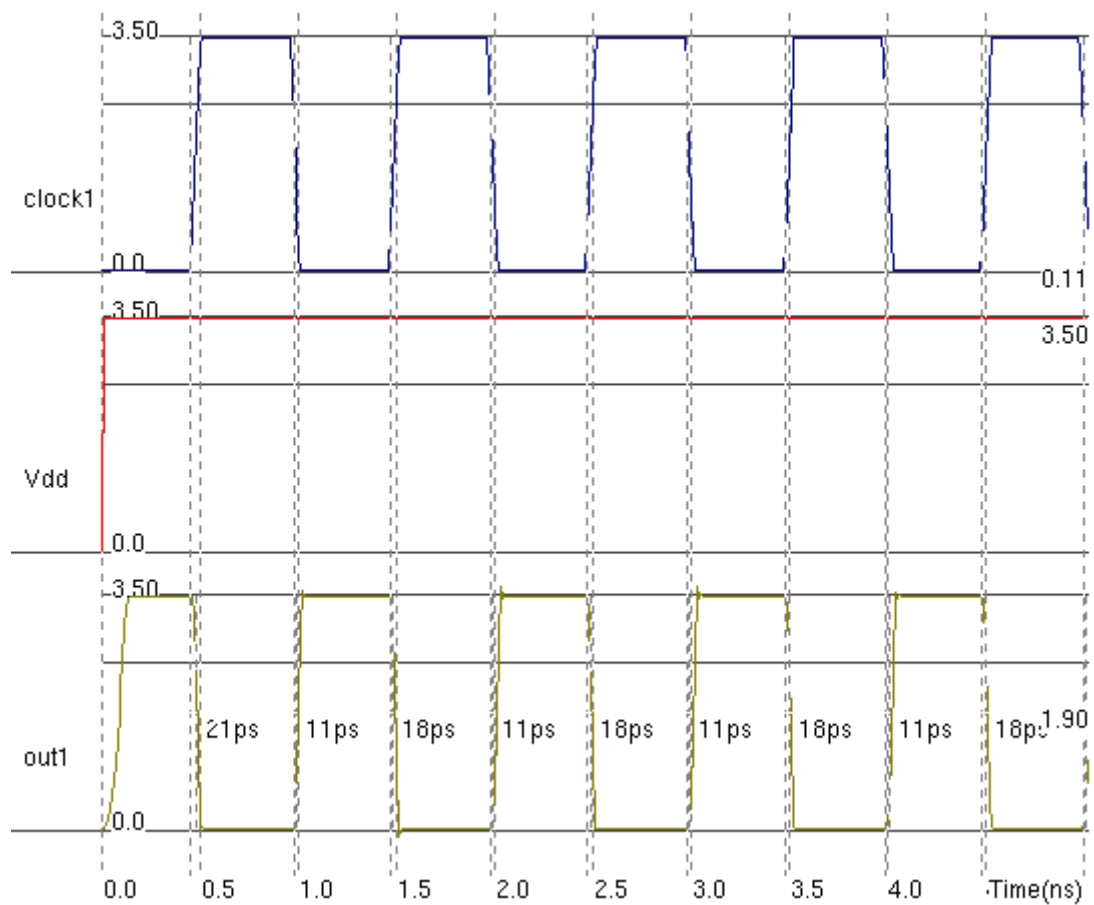


FIG. 66 – Simulation de notre inverseur

Nous pouvons observer sur la figure 67 des pics de courant de l'ordre de 0,4 mA lors de la montée et de l'ordre de 1 mA lors de la descente ! Ces derniers sont dûs au court-circuit qui se produit lorsque les deux transistors sont passant en même temps. Pour diminuer ce phénomène (très consommateur pour des produits fonctionnant sur batterie), il faut un signal d'entrée avec des fronts très rapides.

À la section 2.7.1, nous avons supposé que notre inverseur possédait une fonction de transfert symétrique, c'est à dire qui commute à $V_{DD}/2$. Dans les faits, notre inverseur possède la fonction de transfert de la figure 68.

Pour obtenir une fonction de transfert *symétrique*, et pour diminuer par la même occasion la différence entre les temps de commutation des transistors N-MOS et P-MOS, il suffit que nos transistor possède le même I_{Dmax} . Nous avons vu à la section 1.1.3 que I_{Dmax} dépend de la longueur du canal. Dans les faits, il faut que le transistor P-MOS est un canal deux à trois fois plus grand que celui du N-MOS, puisque la mobilité des trous est deux à trois fois plus faible que celle des électrons.

2.7.4 La sortance

Pour obtenir un inverseur possédant une plus grande sortance, c'est à dire qui soit capable de *charger* un plus grand nombre de porte à sa sortie, il faut soit avoir des transistors de plus grandes tailles, soit en mettre plusieurs en parallèle. Cette dernière est très pratique pour les circuits pré-caractérisés, puisque les transistors N-MOS et P-MOS y sont déjà placés, on ne peut donc pas changer leur taille...

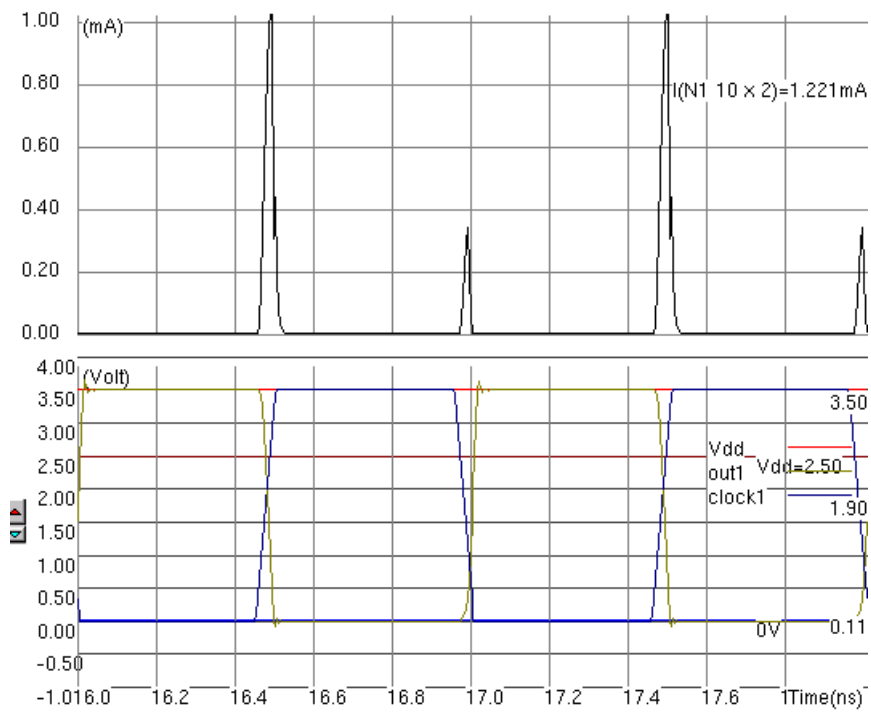


FIG. 67 – Consommation en courant de notre inverseur

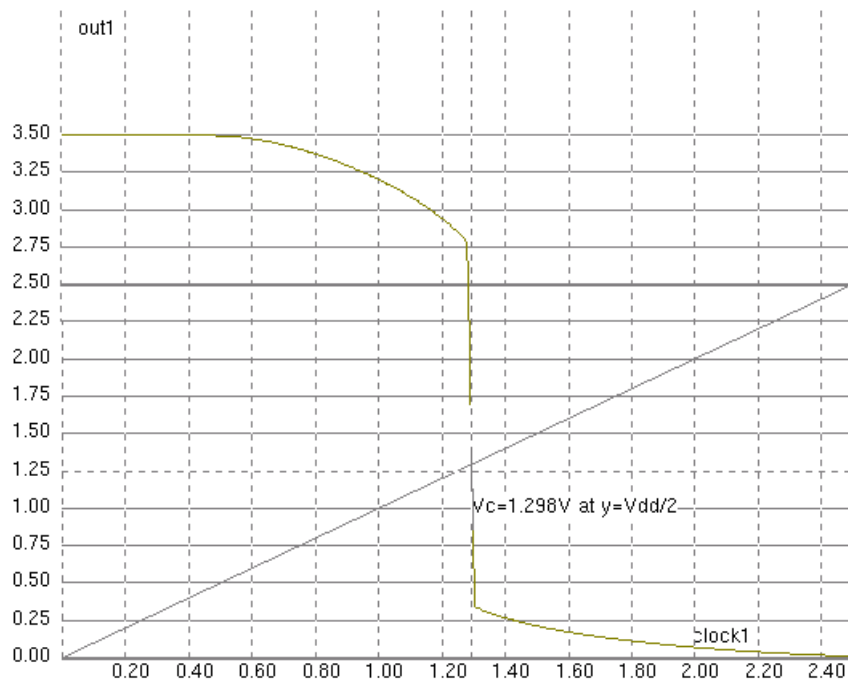


FIG. 68 – Fonction de transfert de notre inverseur

2.8 Oscillateur bouclé

L'oscillateur bouclé, aussi appelé oscillateur en anneaux (Ring Oscillator), consiste à reboucler un nombre impair d'inverseurs (en général 257), cela permet de mesurer le temps de propagation d'un inverseur.

Dans notre cas, nous allons re-boucler seulement trois inverseurs, comme on peut le voir à la figure 69.

Nous avons alors obtenu la simulation donnée à la figure 70. Nous pouvons observer qu'il oscille à une fréquence de plus de 9 GHz ! Cela peut paraître énorme au premier coup d'oeil, mais il ne faut pas oublier qu'il n'y a qu'une charge à chaque inverseur. Dès que l'on met en situation réelle un tel inverseur, sa fréquence va immédiatement chuter en fonction de la charge *réelle*...

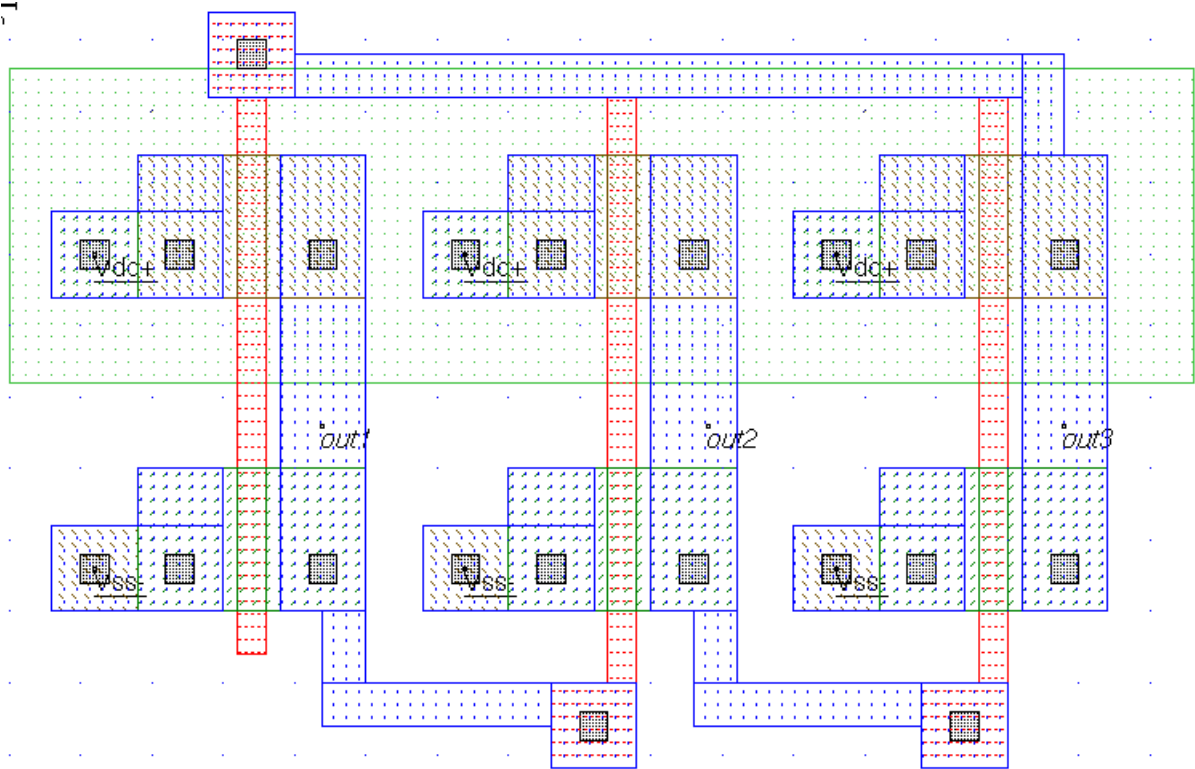


FIG. 69 – Dessin de notre oscillateur bouclé

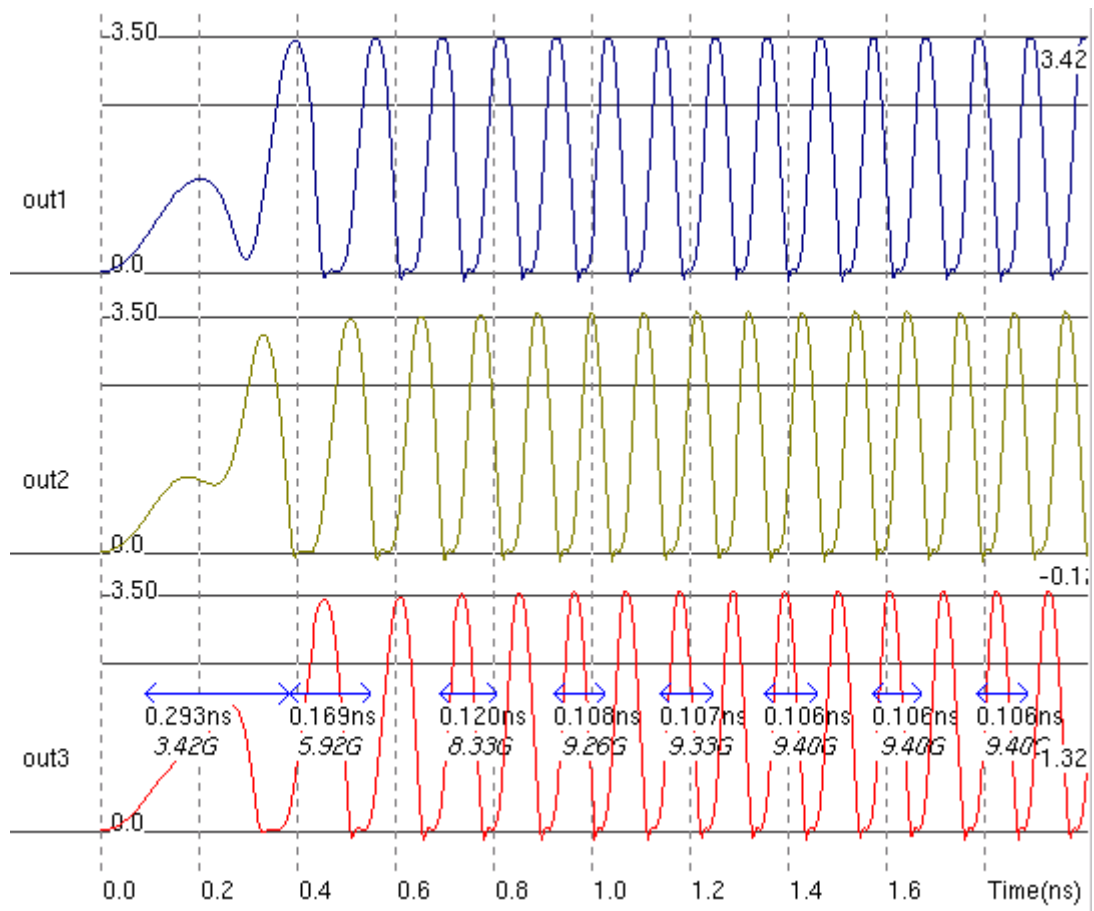


FIG. 70 – Simulation de notre oscillateur bouclé

2.9 Porte logique « NAND »

Comme nous l'avons vu à la section 2.6, lorsque l'on souhaite réaliser une fonction logique, nous devons aussi réaliser son complémentaire. Ainsi pour faire une porte logique « NAND » nous avons besoin de deux transistors N-MOS en série⁸ et de deux transistors P-MOS en parallèle⁹, comme nous pouvons le voir à la figure 71.

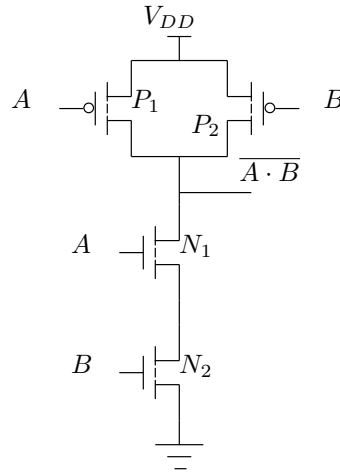


FIG. 71 – Schéma de la fonction logique « NAND »

La figure 72 nous donne la table de vérité étendue du « NAND ».

A	B	N_1	P_1	N_2	P_2	$\overline{A \cdot B}$
0	0	bloqué	passant	bloqué	passant	1
0	1	bloqué	passant	passant	bloqué	1
1	0	passant	bloqué	bloqué	passant	1
1	1	passant	bloqué	passant	bloqué	0

FIG. 72 – Table de vérité étendue de la fonction logique « NAND » en C-MOS

Le dessin de notre porte « NAND » est donné à la figure 75.

À la figure 74, nous affichons une coupe de notre porte « NAND » dans l'axe des deux transistors de droite.

Nous constatons sur la figure 75 que le fonctionnement de la porte correspond à la table de vérité.

La figure 76 nous donne la consommation et le délai lorsque notre porte est chargée par un condensateur de 50 fF. Nous pouvons observer qu'il y a un fort pic de courant lorsque la porte passe d'un niveau haut à un niveau bas. Ce phénomène est de la même origine que celui de la porte inverseuse.

On remarque que le temps de montée de la sortie et le temps de descente sont différents. Ceci s'explique par le fait que :

- à l'état bas, l'impédance de sortie de la porte vaut $2R_{ON}$ (deux transistors NMOS en série conduisent) ;
- à l'état haut, l'impédance de sortie vaut soit R_{ON} soit $R_{ON}/2$ suivant la valeur des entrées. (un seul transistor PMOS conduit ou les deux) ;

Donc la constante de temps est différente à la montée et à la descente.

⁸pour faire le « AND » logique.

⁹pour faire son complémentaire.

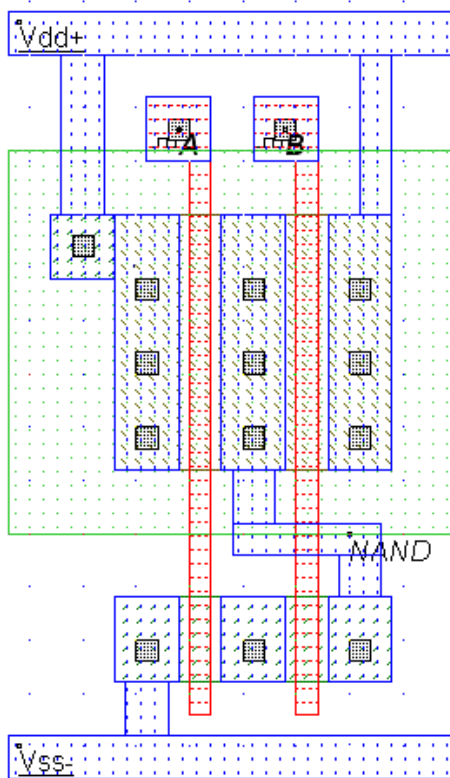


FIG. 73 – Dessin de notre fonction logique « NAND »

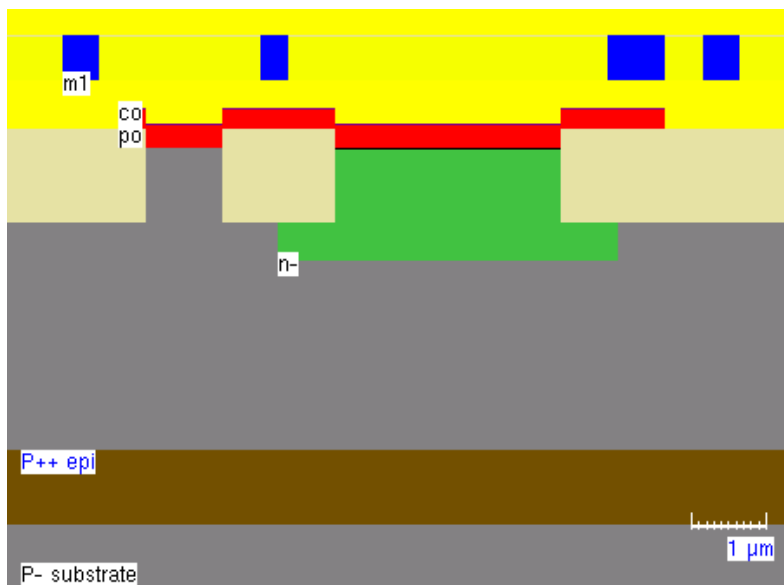


FIG. 74 – Vue en coupe de notre porte « NAND »

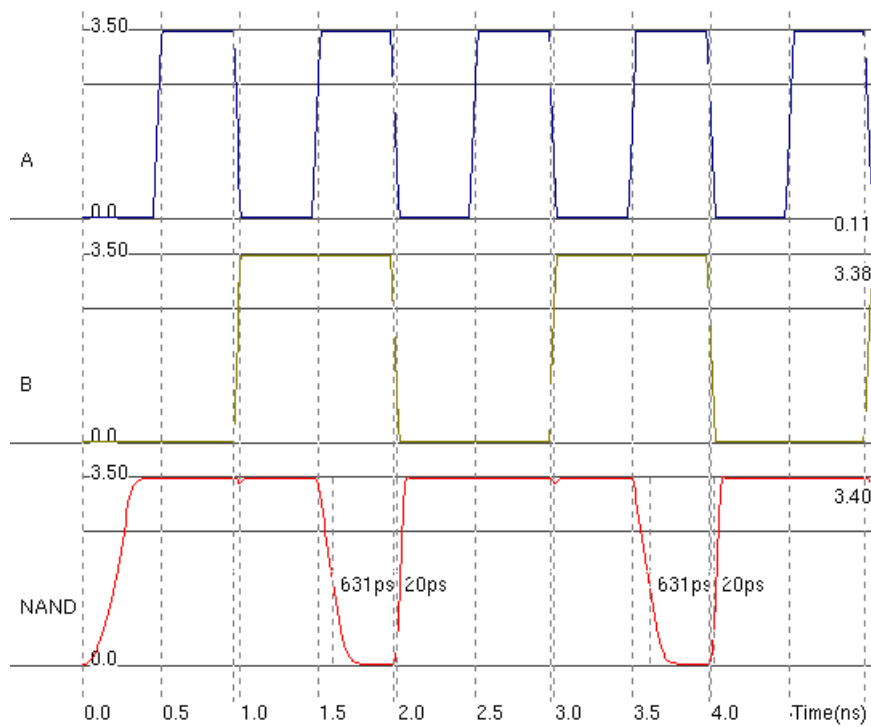


FIG. 75 – Simulation de notre fonction logique « NAND »

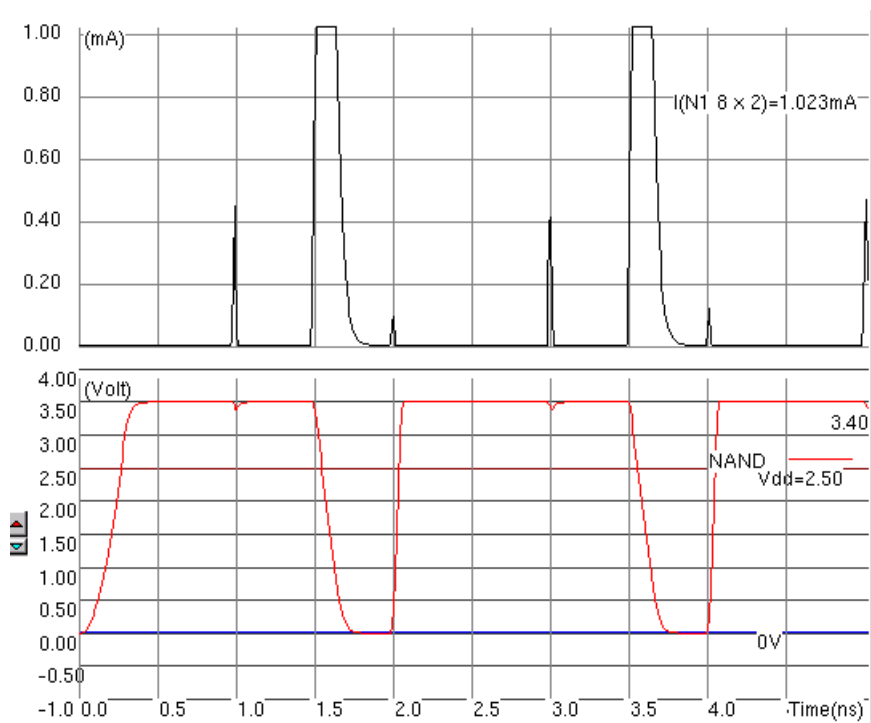


FIG. 76 – Consommation en courant de notre fonction logique « NAND »

2.10 Porte logique « OR »

Comme nous l'avons dit à la section 2.6, nous sommes seulement capable de faire des portes logiques inverseuses. Nous allons réaliser une porte « NOR » suivi d'un inverseur logique.

Comme nous pouvons le voir à la figure 77, pour faire une porte logique « NOR » nous avons besoin de deux transistors N-MOS en parallèle¹⁰ et de deux transistors P-MOS en série¹¹.

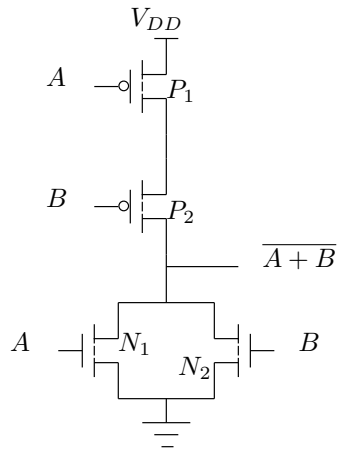


FIG. 77 – Fonction logique « NOR »

La figure 78 représente la table de vérité *étendue* du « OR ».

A	B	N_1	P_1	N_2	P_2	$\overline{A+B}$	$A+B$
0	0	bloqué	passant	bloqué	passant	1	0
0	1	bloqué	passant	passant	bloqué	0	1
1	0	passant	bloqué	bloqué	passant	0	1
1	1	passant	bloqué	passant	bloqué	0	1

FIG. 78 – Table de vérité *étendue* de la fonction logique « OR » en C-MOS

Le dessin de notre porte « OR » est donné à la figure 79

Nous constatons sur la figure 80 que le fonctionnement de la porte correspond à la table de vérité.

¹⁰pour faire le « OR » logique.

¹¹pour faire son complémentaire.

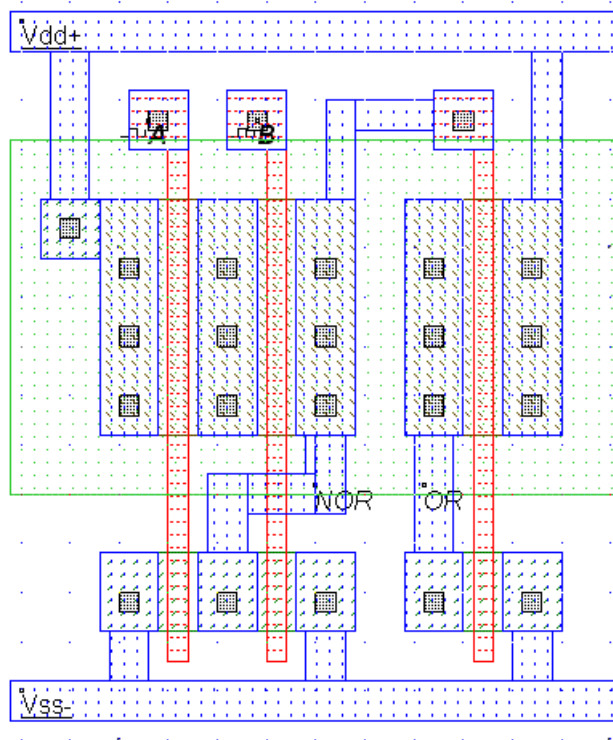


FIG. 79 – Dessin de notre fonction logique « OR »

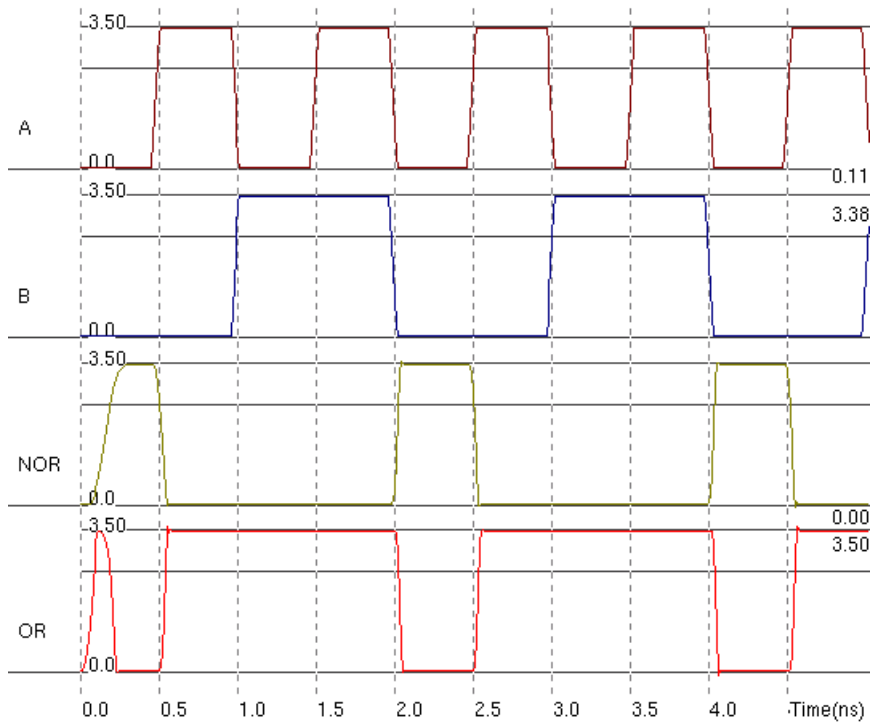


FIG. 80 – Simulation de notre fonction logique « OR »

2.11 Porte logique « XOR »

La réalisation d'une porte logique « XOR » est plus complexe que celle des portes logiques précédentes, puisqu'elle est assemblée à partir de ces dernières. Nous devons donc décomposer la fonction logique « XOR » en fonctions logiques de base, c'est-à-dire avec des portes « NAND », des « NOR » et des portes « NOT ¹² ».

Par définition, nous avons :

$$A \oplus B = (\bar{A} \cdot B) + (A \cdot \bar{B}) \quad (4)$$

Or d'après De Morgan, nous pouvons réaliser les opérations suivantes :

$$\overline{(A + \bar{B}) \cdot (\bar{A} + B)}$$

Toujours d'après De Morgan, nous avons :

$$A + \bar{B} = \overline{\bar{A} \cdot B}$$

$$\bar{A} + B = \overline{A \cdot \bar{B}}$$

Donc :

$$A \oplus B = \overline{\overline{\bar{A} \cdot B} \cdot \overline{A \cdot \bar{B}}} \quad (5)$$

Grâce à trois portes « NAND » et deux portes « NOT », nous pouvons réaliser la porte logique « XOR », comme nous pouvons le voir à la figure 81. Le problème est qu'il nous faut seize transistors ! Nous verrons à la section 2.11.1 une version *optimisée* de la porte logique « XOR ».

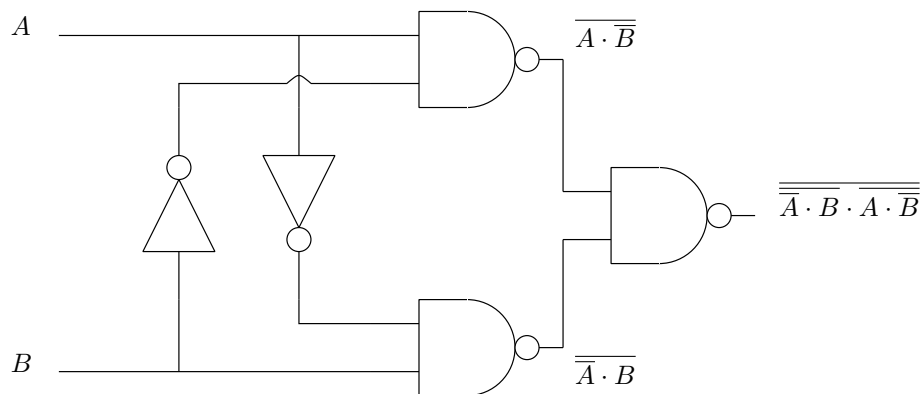


FIG. 81 – Fonction logique « XOR »

La figure 82 nous donne la table de vérité du « XOR ».

A	B	$A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

FIG. 82 – Table de vérité *étendue* de la fonction logique « XOR » en C-MOS

Le dessin de notre porte « XOR » est donné à la figure 83.

Nous constatons sur la figure 84 que le fonctionnement de la porte correspond à la table de vérité.

¹²inverseuses.

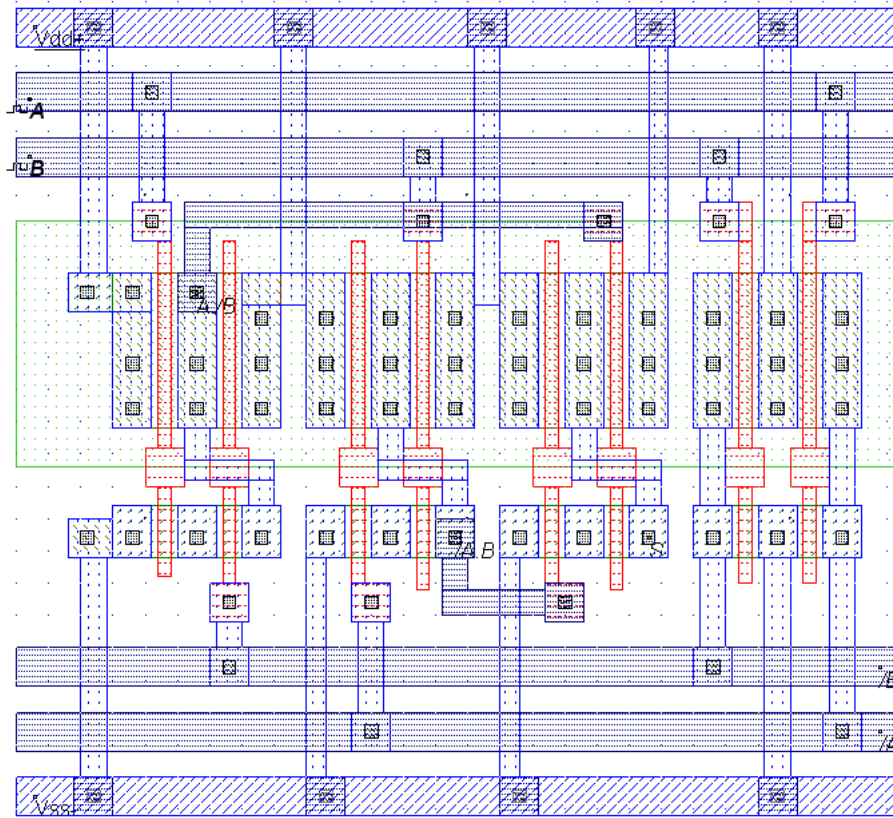


FIG. 83 – Dessin de notre fonction logique « XOR »

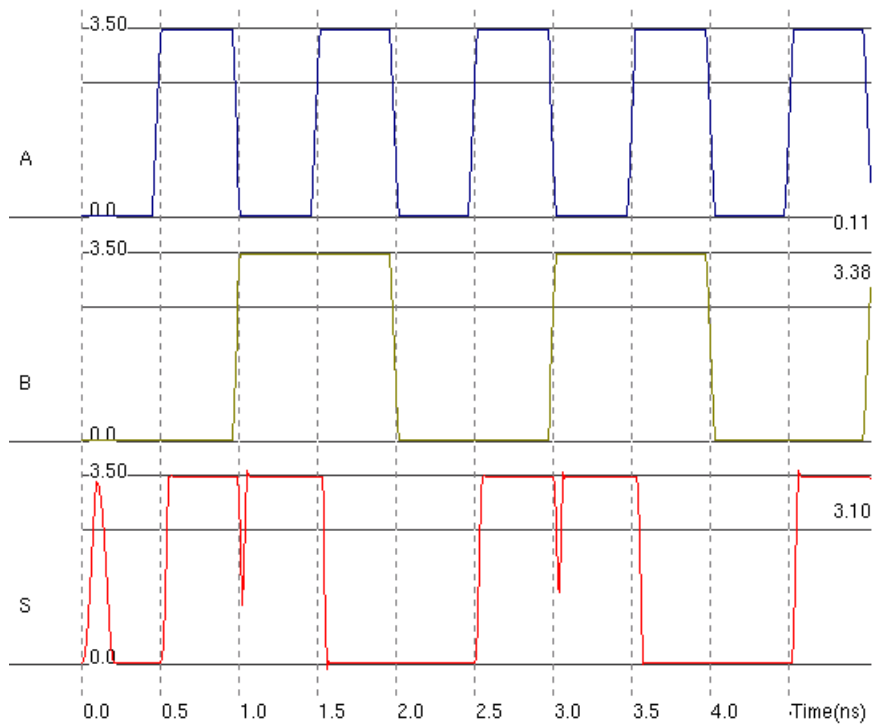


FIG. 84 – Simulation de notre fonction logique « XOR »

2.11.1 Conception optimisée de la porte logique « XOR »

Il est important d'avoir une conception optimisée de la porte « XOR » car elle est utilisée en grand nombre dans les additionneurs, comme nous le verrons à la section 3.2. De plus, le fait de diminuer le nombre de transistors nous fait économiser de la place et surtout diminue le temps de propagation.

Le schéma de la porte « XOR » optimisée est donné à la figure 85.

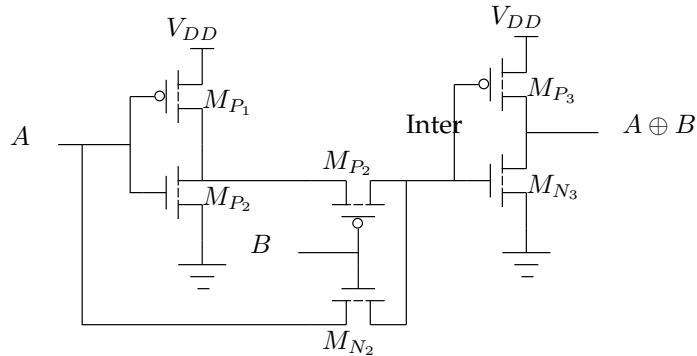


FIG. 85 – Fonction logique « XOR » optimisée

Nous pouvons observer le principe de la porte « XOR » optimisée sur la table de vérité de la figure 86.

A	B	$A \oplus B$	
0	0	0	$\bar{A} = V_{DD}, M_{P_2}$ conduit \rightarrow Inter = $V_{DD} \rightarrow S = 0$
0	1	1	$\bar{A} = V_{DD}, M_{N_2}$ conduit \rightarrow Inter = 0 car $A = 0 \rightarrow S = 1$
1	0	1	$\bar{A} = 0, M_{P_2}$ conduit \rightarrow Inter = $V_{TH} \rightarrow S = 1$
1	1	0	$\bar{A} = 0, M_{N_2}$ conduit \rightarrow Inter = $V_{DD} - V_{TH}$ car $A = V_{DD} \rightarrow S = 0$

FIG. 86 – Table de vérité étendue de la fonction logique « XOR » en C-MOS

Le dessin de notre porte « XOR » optimisée est donné à la figure 87.

Nous constatons sur la figure 88 que le fonctionnement de la porte correspond à la table de vérité.

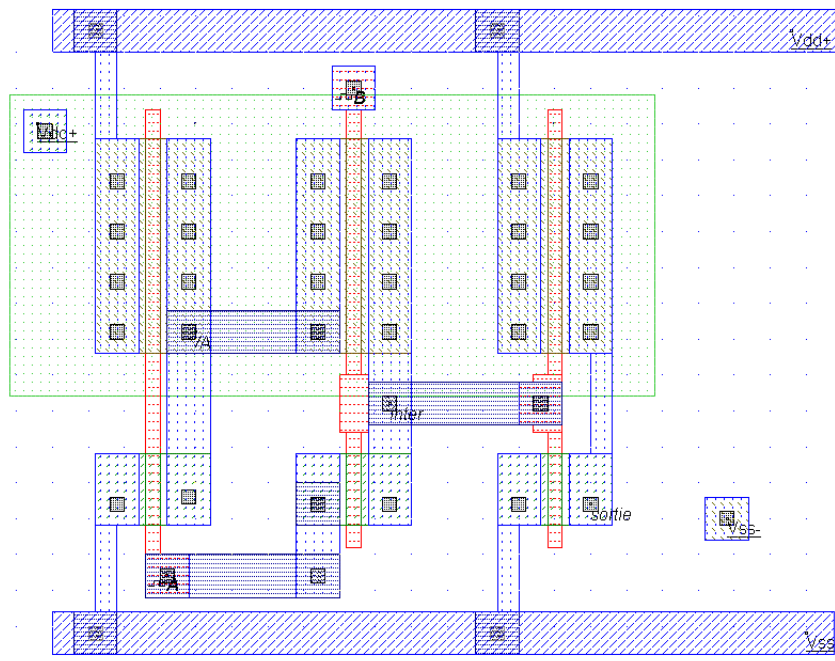


FIG. 87 – Dessin de notre fonction logique « XOR » optimisée

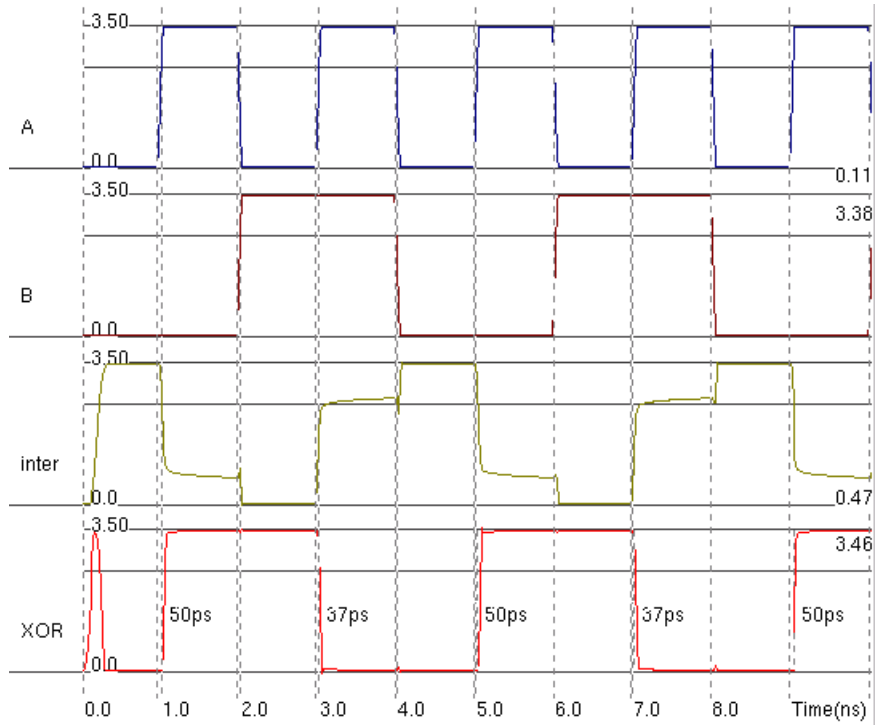


FIG. 88 – Simulation de notre fonction logique « XOR » optimisée

2.12 Porte complexe $F = \overline{A + (B \cdot C)}$

En utilisant ce que nous avons appris aux sections 2.6, 2.9 et 2.10, nous allons réaliser la fonction logique $F = \overline{A + (B \cdot C)}$. Sa table de vérité est donnée à la figure 89 et son schéma est donné à la figure 90.

A	B	C	$\overline{A + (B \cdot C)}$
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

FIG. 89 – Table de vérité de la fonction logique $F = \overline{A + (B \cdot C)}$ en C-MOS

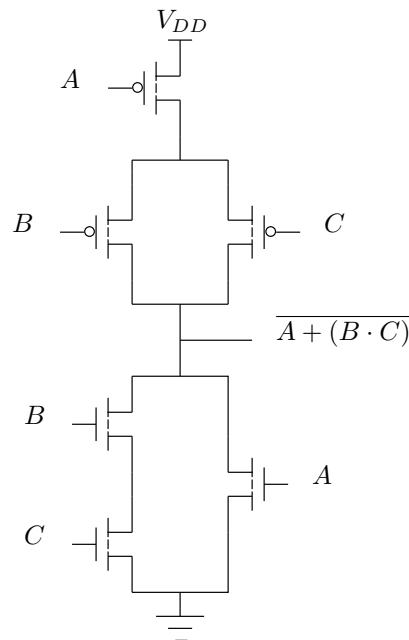


FIG. 90 – Fonction logique $F = \overline{A + (B \cdot C)}$

Le dessin de notre porte F est donné à la figure 91.

Nous constatons sur la figure 92 que le fonctionnement de la porte correspond à la table de vérité.

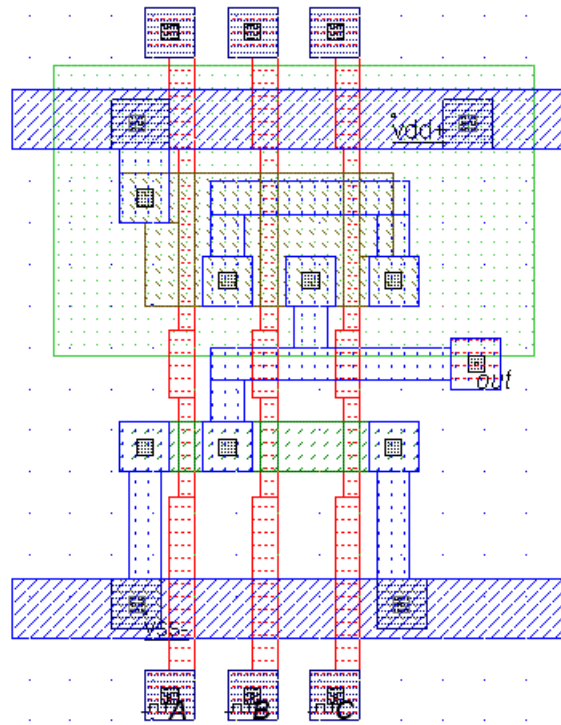


FIG. 91 – Dessin de notre fonction logique $F = \overline{A + (B \cdot C)}$

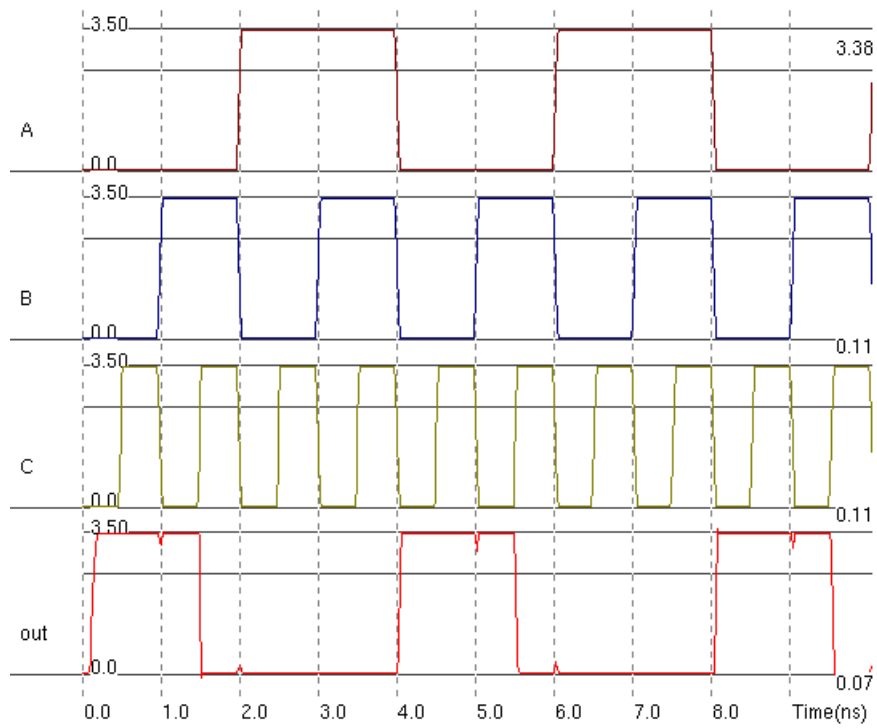


FIG. 92 – Simulation de notre fonction logique $F = \overline{A + (B \cdot C)}$

3 Deuxième séance

3.1 Porte de Transition

Il s'agit d'un interrupteur commandé par un signal carré ou une horloge. Comme nous l'avons vu aux sections 8 et 28, nous avons les propriétés suivantes :

transistor N-MOS :

- lorsque $\phi = 0$, bloqué, $I_{DS} = 0$
- lorsque $\phi = V_{DD}$, passant :
 - $V_e = 0, V_s = 0$
 - $V_e = V_{DD}, V_s = V_{DD} - V_{TH}$

transistor P-MOS :

- lorsque $\phi = V_{DD}$, bloqué, $I_{DS} = 0$
- lorsque $\phi = 0$, passant :
 - $V_e = 0, V_s = V_{TH}$
 - $V_e = V_{DD}, V_s = V_{DD}$

Le transistor N-MOS possède donc un niveau logique bas de bonne qualité, mais un niveau logique haut *mauvais*. En revanche, le transistor P-MOS possède un niveau logique bas *mauvais*, mais un niveau logique haut de bonne qualité. Nous allons donc utiliser cette asymétrie pour obtenir une porte de transition symétrique...

La figure 93 représente le schéma d'une porte de transmission.

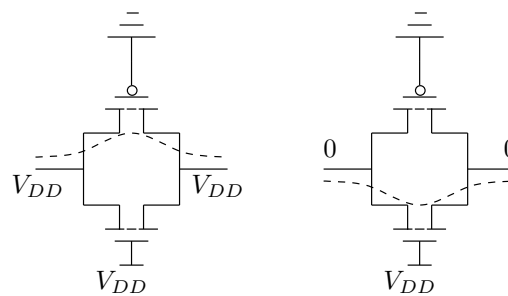


FIG. 93 – Porte de transmission

Nous pouvons observer à la figure 94 le dessin de notre porte de transmission. Nous avons finalement obtenu la simulation donnée à la figure 95

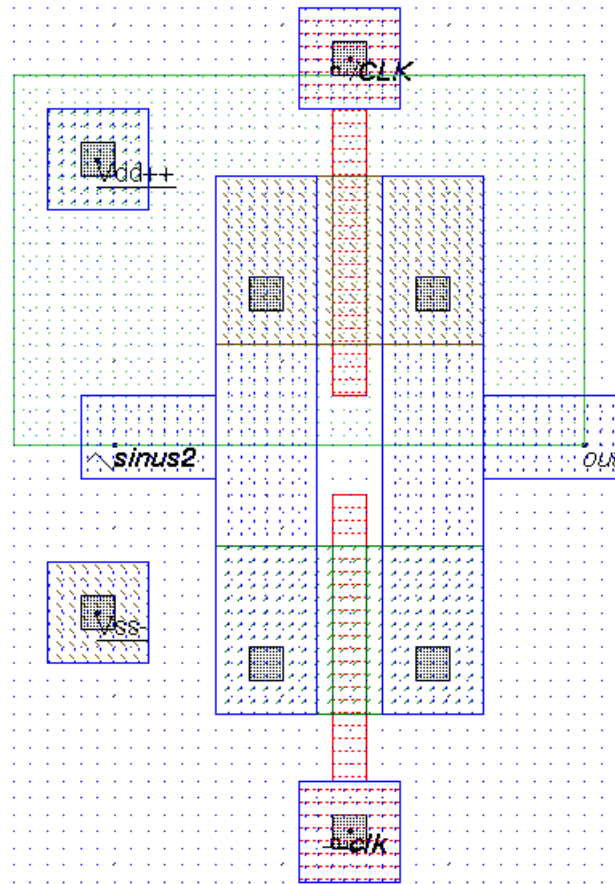


FIG. 94 – Dessin de notre porte de transition

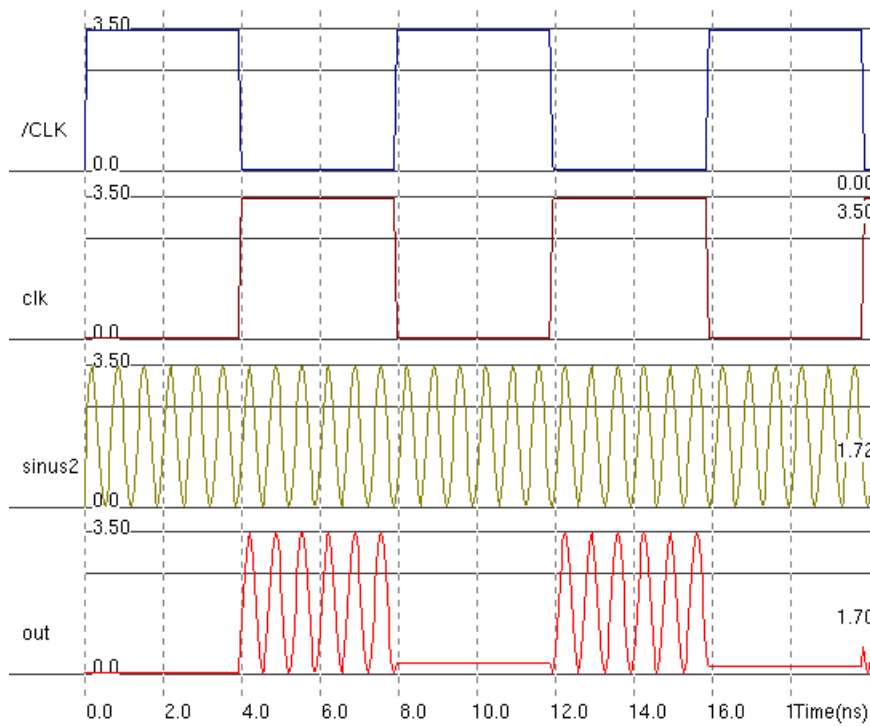


FIG. 95 – Simulation de notre porte de transition

3.2 Demi-Additionneur

Comme nous pouvons l'observer sur le tableau de la figure 96 ; la « Somme » est la fonction « XOR » et la « Retenue » est la fonction « AND ».

A	B	Somme	Retenue
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

FIG. 96 – Table de vérité d'un demi-additionneur

Le dessin de notre additionneur est donné à la figure 97

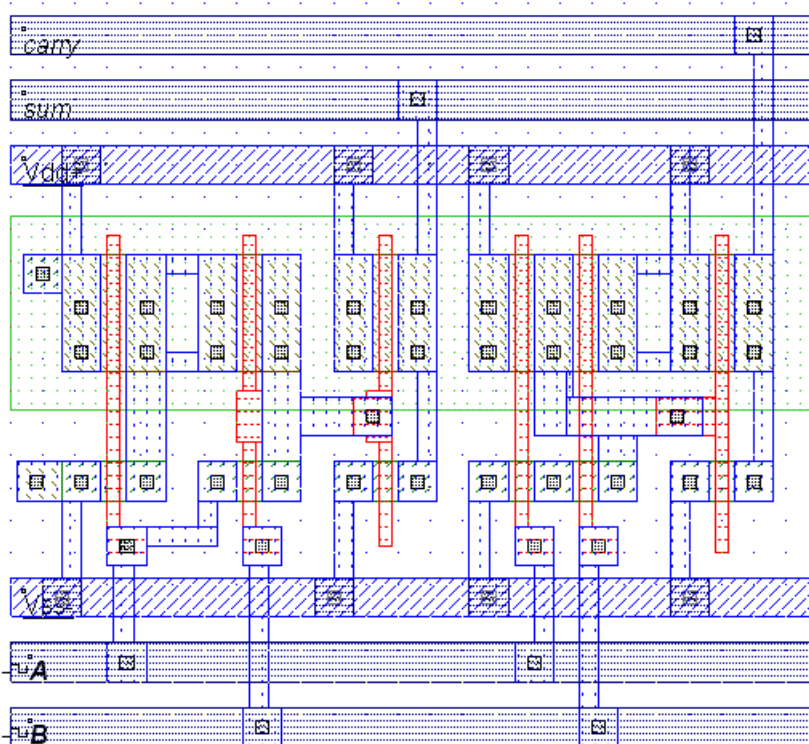


FIG. 97 – Dessin de notre demi-additionneur

Nous constatons sur la figure 98 que le fonctionnement de la porte correspond à la table de vérité.

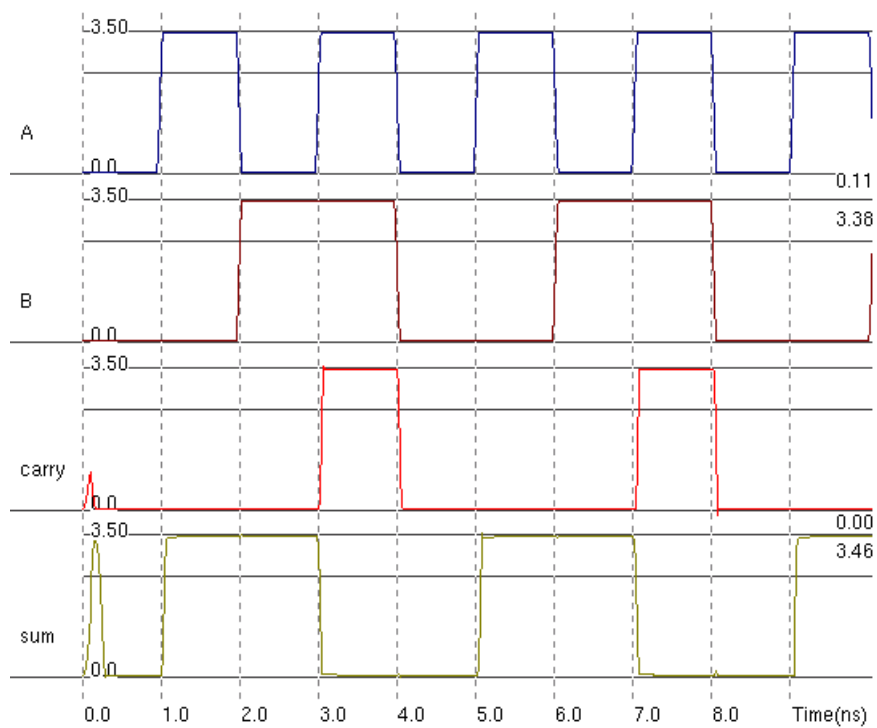


FIG. 98 – Simulation de notre demi-additionneur

3.3 Amplificateur Opérationnel

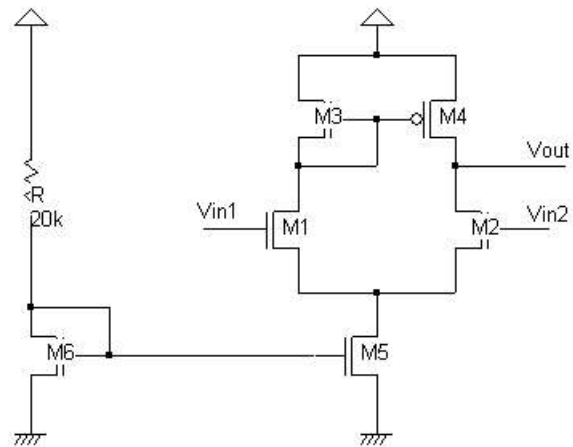


FIG. 99 – Schéma de notre amplificateur opérationnel

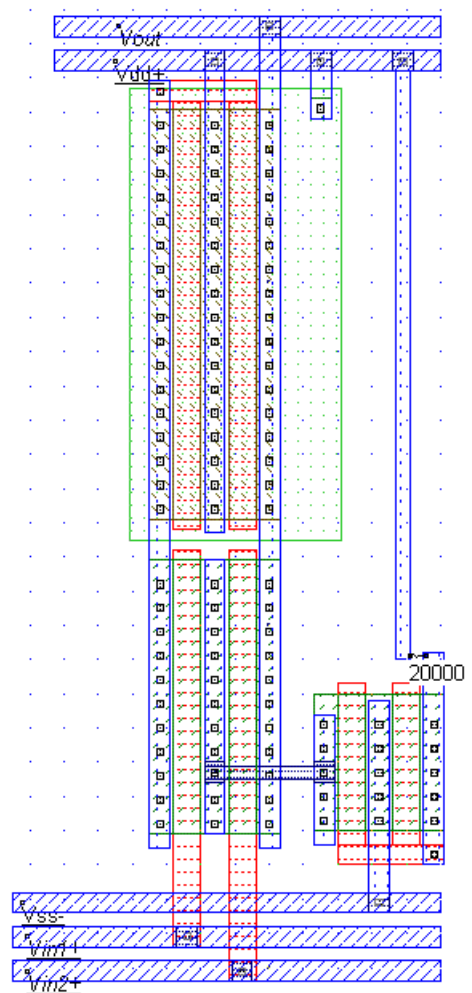


FIG. 100 – Dessin de notre amplificateur opérationnel

Les transistors M_5 et M_6 forment un miroir de courant, on a alors la relation :

$$I_0 = I_R = \frac{V_{DD} - V_{GS_6}}{R} = 0,1 \text{ mA}$$

3.3.1 Étude de la paire différentielle

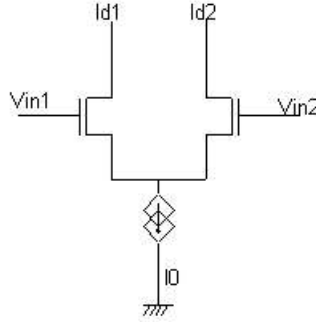


FIG. 101 – Schéma de la paire différentielle

$$I_0 = I_{D_1} + I_{D_2}$$

$$V_{IN_1} - V_{IN_2} = V_{GS_1} - V_{GS_2}$$

Les transistors M_1 et M_2 sont parfaitement identiques. En partant de l'équation du transistor en régime forte inversion, nous avons :

$$I_D = \mu_N C_{OX} \times \frac{W}{2L} (V_{GS} - V_{TH})^2 = \frac{\beta_N}{2} (V_{GS} - V_{TH})^2$$

On a donc :

$$I_{D_1} = \frac{\beta_N}{2} (V_{GS_1} - V_{TH})^2$$

$$I_{D_2} = \frac{\beta_N}{2} (V_{GS_2} - V_{TH})^2$$

On pose :

$$V_{MD} = V_{IN_1} - V_{IN_2}$$

$$I_{MD} = I_{D_1} - I_{D_2}$$

On trouve alors :

$$I_{D_1} = \frac{I_0 + I_{MD}}{2}$$

$$I_{D_2} = \frac{I_0 - I_{MD}}{2}$$

On calcule :

$$\sqrt{I_{D_1}} = \sqrt{\frac{I_0 + I_{MD}}{2}} = \sqrt{\frac{\beta_N}{2}} (V_{GS_1} - V_{TH})$$

$$\sqrt{I_{D_2}} = \sqrt{\frac{I_0 - I_{MD}}{2}} = \sqrt{\frac{\beta_N}{2}} (V_{GS_2} - V_{TH})$$

Puis :

$$\begin{aligned}\sqrt{I_{D1}} - \sqrt{I_{D2}} &= \sqrt{\frac{I_0 + I_{MD}}{2}} - \sqrt{\frac{I_0 + I_{MD}}{2}} = \sqrt{\frac{\beta_N}{2}}((V_{GS1} - V_{TH}) - (V_{GS2} - V_{TH})) \\ &= \sqrt{\frac{\beta_N}{2}}(V_{GS1} - V_{GS2}) = \sqrt{\frac{\beta_N}{2}}(V_{IN1} - V_{IN2}) = \frac{\sqrt{I_0 + I_{MD}} - \sqrt{I_0 + I_{MD}}}{\sqrt{2}}\end{aligned}$$

On a alors :

$$\begin{aligned}\sqrt{\beta_N}V_{MD} &= \sqrt{I_0 + I_{MD}} - \sqrt{I_0 + I_{MD}} \\ \beta_N V_{MD}^2 &= (\sqrt{I_0 + I_{MD}} - \sqrt{I_0 + I_{MD}})^2 \\ &= I_0 + I_{MD} + I_0 - I_{MD} - 2\sqrt{I_0 + I_{MD}}\sqrt{I_0 - I_{MD}} \\ &= 2(I_0 - \sqrt{I_0 + I_{MD}}\sqrt{I_0 - I_{MD}}) \\ \frac{\beta_N}{2}V_{MD}^2 &= I_0 - \sqrt{I_0^2 - I_{MD}^2} \\ I_0 - \frac{\beta_N}{2}V_{MD}^2 &= \sqrt{I_0^2 - I_{MD}^2} \\ (I_0 - \frac{\beta_N}{2}V_{MD}^2)^2 &= I_0^2 - I_{MD}^2 = I_0^2 + \frac{\beta_N^2}{4}V_{MD}^4 - 2I_0\frac{\beta_N}{2}V_{MD}^2 \\ I_{MD} &= \frac{\beta_N}{2}V_{MD}\sqrt{\frac{4I_0}{\beta_N} - V_{MD}^2}\end{aligned}\quad (6)$$

Nous sommes arrivés à l'expression du courant de mode différentiel, avec :

$$-\sqrt{\frac{4I_0}{\beta_N}} \leq V_{MD} \leq \sqrt{\frac{4I_0}{\beta_N}} \quad (7)$$

et :

$$I_{MD} = I_0 \times \text{sign}(V_{MD}) \quad (8)$$

L'utilisation de la fonction signe est due au fait que la source de courant limite physiquement I_{MD} à I_0 , et qu'en dehors de la plage de fonctionnement normale correspondante, un des transistors de la paire différentielle est bloqué alors que l'autre est traversé par le courant I_0 .

On peut remarquer sur la figure 102 que la courbe est linéaire dès lors que l'équation (7) est vérifiée.

On établit le schéma équivalent petit signal, donné à la figure 104, en remplaçant les transistors par leur modèle.

Il est à noter qu'en dynamique, le miroir de courant formé par M_5 et M_6 est équivalent à une impédance R_0 qui est l'impédance de sortie de la source de courant

3.3.2 Relation entre la tension de sortie et les tensions d'entrées

On a :

$$V_{IN1} - V_{IN2} = V_{GS1} - V_{GS2} \quad (9)$$

et :

$$\begin{aligned}V_{IN1} + V_{IN2} &= V_{GS1} + V_{GS2} + 2R_0g_{mn}(V_{GS1} + V_{GS2}) = (V_{GS1} + V_{GS2})(1 + 2R_0g_{mn}) \\ V_{GS1} + V_{GS2} &= \frac{V_{IN1} + V_{IN2}}{1 + 2R_0g_{mn}}\end{aligned}\quad (10)$$

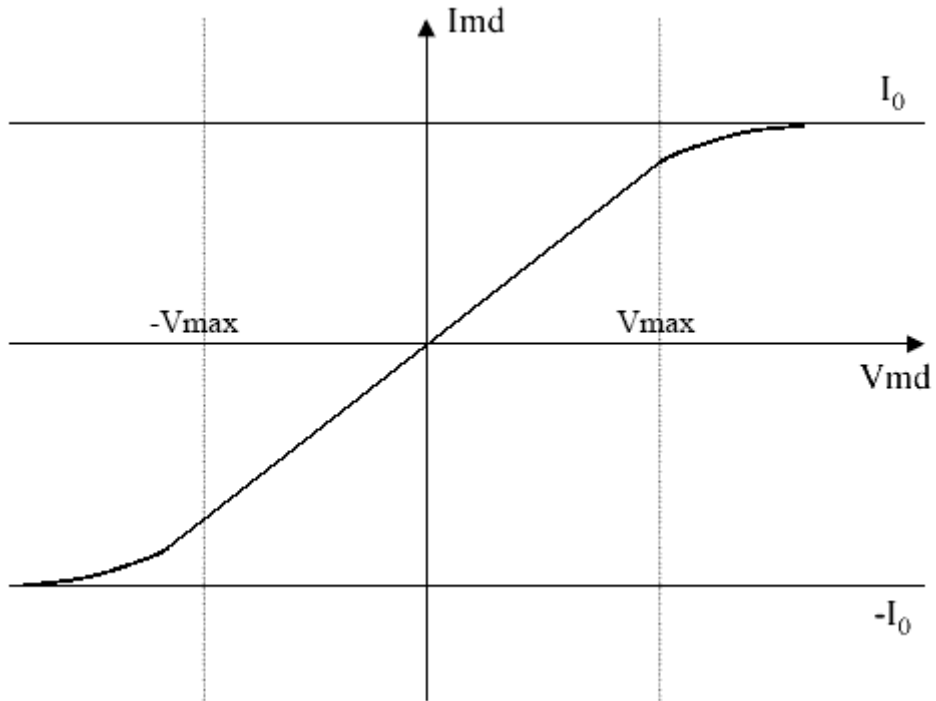


FIG. 102 – $I_{MD}(V_{MD})$, fonction de transfert de la paire différentielle

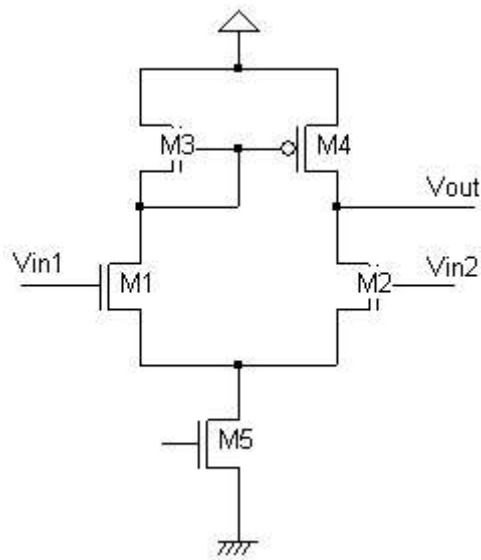


FIG. 103 – Schéma de l'amplificateur opérationnel

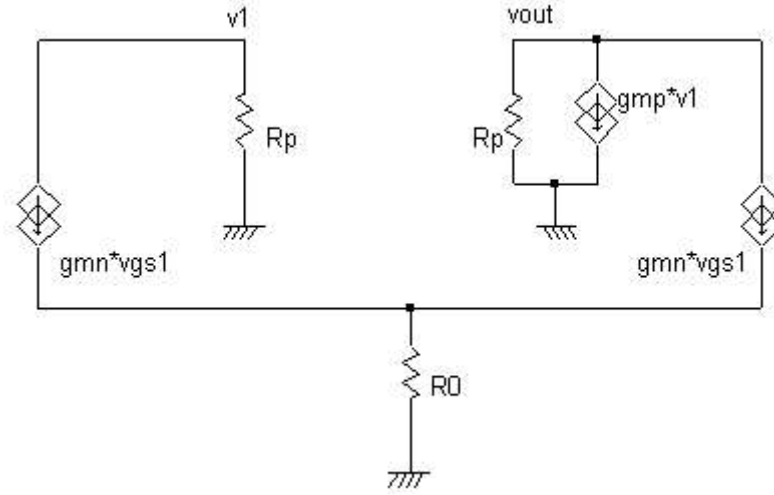


FIG. 104 – Schéma équivalent petit signal de l'amplificateur

À partir de (9) + (10), nous avons :

$$\begin{aligned}
 V_{GS_1} - V_{GS_2} + V_{GS_1} + V_{GS_2} &= V_{IN_1} - V_{IN_2} + \frac{V_{IN_1} + V_{IN_2}}{1 + 2R_0g_{mn}} \\
 2V_{GS_1} &= V_{IN_1} - V_{IN_2} + \frac{V_{IN_1} + V_{IN_2}}{1 + 2R_0g_{mn}} \\
 V_{GS_1} &= \frac{V_{IN_1} - V_{IN_2}}{2} + \frac{V_{IN_1} + V_{IN_2}}{2} \frac{1}{1 + 2R_0g_{mn}} \\
 &= \frac{V_{MD}}{2} + \frac{V_{MC}}{2} \frac{1}{1 + 2R_0g_{mn}}
 \end{aligned}$$

De la même manière, à partir de (9) – (10), nous avons :

$$\begin{aligned}
 V_{GS_1} - V_{GS_2} - V_{GS_1} - V_{GS_2} &= V_{IN_1} - V_{IN_2} - \frac{V_{IN_1} + V_{IN_2}}{1 + 2R_0g_{mn}} \\
 V_{GS_2} &= -\frac{V_{MD}}{2} + \frac{V_{MC}}{2} \frac{1}{1 + 2R_0g_{mn}}
 \end{aligned}$$

Nous avons aussi :

$$\begin{aligned}
 V_1 &= -R_p g_{mn} V_{GS_1} \tag{11} \\
 V_{OUT} &= -R_p (g_{mp} V_1 + g_{mn} V_{GS_2}) = -R_p g_{mp} V_1 - R_p g_{mn} V_{GS_2} = R_p^2 g_{mp} g_{mn} V_{GS_1} - R_p g_{mn} V_{GS_2} \\
 &= R_p^2 g_{mp} g_{mn} \left(\frac{V_{MD}}{2} + \frac{V_{MC}}{2} \frac{1}{1 + 2R_0g_{mn}} \right) - R_p g_{mn} \left(-\frac{V_{MD}}{2} + \frac{V_{MC}}{2} \frac{1}{1 + 2R_0g_{mn}} \right) \\
 &= \frac{R_p^2 g_{mp} g_{mn}}{2} V_{MD} + V_{MC} \frac{R_p^2 g_{mp} g_{mn}}{1 + 2R_0g_{mn}} + \frac{R_0 g_{mn}}{2} V_{MD} - V_{MC} \frac{R_0 g_{mn}}{1 + 2R_0g_{mn}} \\
 &= V_{MD} \frac{R_p g_{mn} (1 + R_p g_{mp})}{2} - V_{MC} \frac{R_p g_{mn} (1 - R_p g_{mp})}{1 + 2R_0g_{mn}} \\
 V_{OUT} &= V_{MD} \times A_D + V_{MC} \times A_C \tag{12}
 \end{aligned}$$

Avec :

- A_D , le gain différentiel
- V_{MD} , la tension différentielle
- A_C , le gain de mode commun
- V_{MC} , la tension de mode commun

On peut remarquer que la tension de sortie est fonction de deux termes. Le premier correspond au mode différentiel et le second au mode commun.

3.3.3 Simulation

Le gain de mode commun peut être déduit de la simulation. En effet, en se plaçant de telle sorte que la tension différentielle soit nulle, la tension de sortie est directement proportionnelle à la tension de mode commun on a :

$$V_{OUT} = A_C \times V_{MC}$$
$$A_C = \frac{V_{OUT}}{V_{MC}} \quad (13)$$

En prenant une tension de mode commun de 1 V, on obtient une tension de sortie de 2,26 V. Le gain de mode commun vaut donc 2,26.

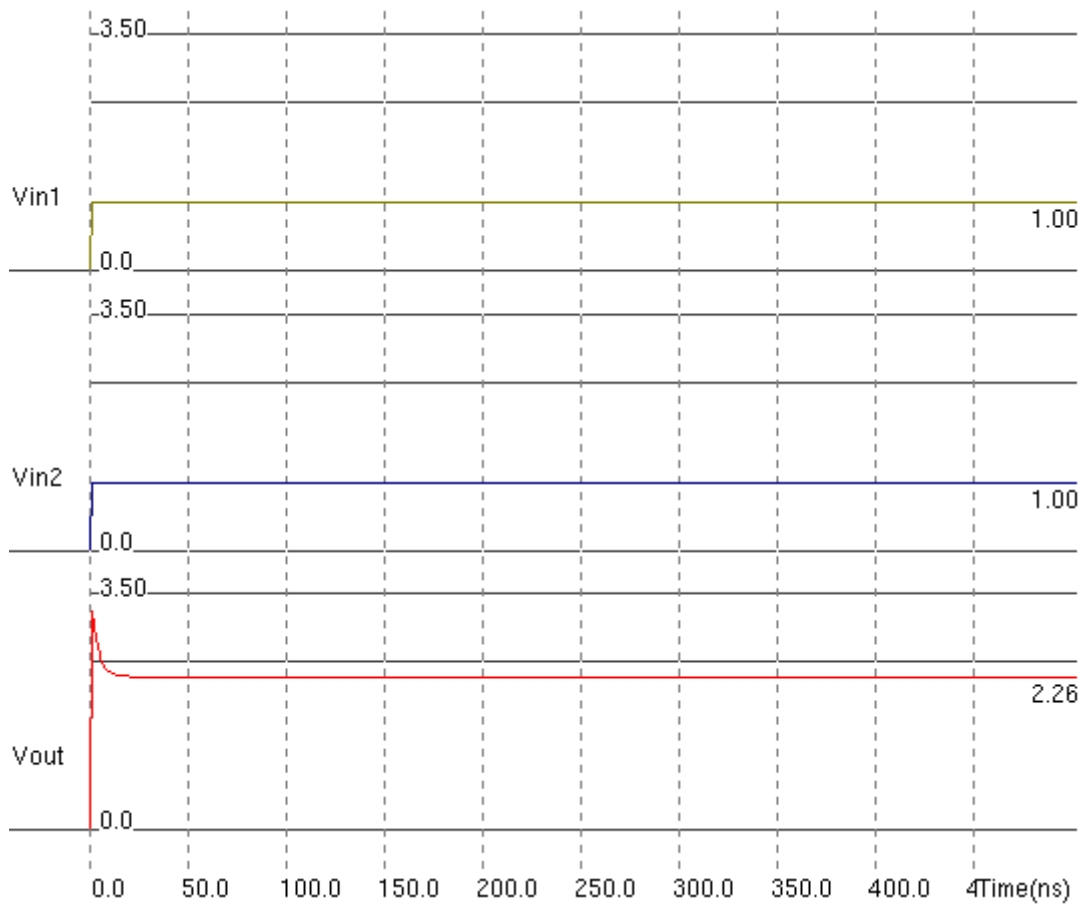


FIG. 105 – Simulation de notre amplificateur opérationnel avec une tension de mode commun de 1 V

Table des figures

1	Schéma d'un transistor N-MOS	3
2	Polarisation d'un transistor N-MOS	3
3	Jonctions d'un transistor N-MOS	4
4	Caractéristique d'un transistor N-MOS	5
5	Équivalence d'un transistor N-MOS	5
6	Règles de dessins pour la technologie $0,25\mu\text{m}$, utilisée dans notre TP.	7
7	Transistor N-MOS minimal sans contacts	8
8	Transistor N-MOS minimal avec contacts	8
9	Transistor N-MOS minimal vu en coupe	9
10	$I_D(V_{DS})$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en niveau 1	10
11	$I_D(V_{GS})$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en niveau 1	10
12	$I_D(\exp(V_{GS}))$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en niveau 1	11
13	V_{TH} pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en niveau 1	11
14	$I_D(V_{DS})$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en niveau 3	12
15	$I_D(V_{GS})$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en niveau 3	12
16	$I_D(\exp(V_{GS}))$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en niveau 3	13
17	V_{TH} pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en niveau 3	13
18	$I_D(V_{DS})$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en BSIM 4	14
19	$I_D(V_{GS})$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en BSIM 4	14
20	$I_D(\exp(V_{GS}))$ pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en BSIM 4	15
21	V_{TH} pour un transistor N-MOS $10 \times 0,25\mu\text{m}$, en BSIM 4	15
22	Polarisation d'un transistor N-MOS $10 \times 0,25\mu\text{m}$	16
23	Transistor N-MOS $10 \times 0,25\mu\text{m}$ en commutation	17
24	Effets capacitifs d'un transistor N-MOS $10 \times 0,25\mu\text{m}$ en commutation	17
25	Capacités <i>parasites</i> interne à un transistor N-MOS	18
26	Transistor parasite	18
27	Transistor P-MOS minimal sans contacts	19
28	Transistor P-MOS minimal avec contacts	19
29	Transistor P-MOS minimal vu en coupe	20
30	$I_D(V_{DS})$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 1	21
31	$I_D(V_{GS})$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 1	21
32	$I_D(\exp(V_{GS}))$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 1	22
33	V_{TH} pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 1	22
34	$I_D(V_{DS})$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 3	23
35	$I_D(V_{GS})$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 3	23
36	$I_D(\exp(V_{GS}))$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 3	24
37	V_{TH} pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en niveau 3	24
38	$I_D(V_{DS})$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en BSIM 4	25
39	$I_D(V_{GS})$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en BSIM 4	25
40	$I_D(\exp(V_{GS}))$ pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en BSIM 4	26
41	V_{TH} pour un transistor P-MOS $10 \times 0,25\mu\text{m}$, en BSIM 4	26
42	Polarisation d'un transistor P-MOS $10 \times 0,25\mu\text{m}$	27
43	Transistor P-MOS $10 \times 0,25\mu\text{m}$ en commutation	28
44	Effets capacitifs d'un transistor P-MOS $10 \times 0,25\mu\text{m}$ en commutation	28
45	Principe de la logique C-MOS	29
46	Caractéristique de l'inverseur pour $V_e = V_{DD}$	30
47	Caractéristique de l'inverseur pour $V_e = 0$	30
48	Fonction de transfert d'un inverseur <i>symétrique</i>	31
49	Dessin de notre inverseur	31
50	Substrat brute	32
51	Masque pour la création du puits N^-	32
52	Création du puits N^- pour le transistor P-MOS	33
53	Masque pour l'isolant et la fine couche d'oxyde	33
54	Dépôt de l'isolant (S_iO_2)	34

55	Dépôt d'une fine couche d'oxyde	34
56	Masque pour le poly-silicium	35
57	Dépôt du poly-silicium	35
58	Masque pour les jonctions N^+	36
59	Implant des jonctions N^+	36
60	Masque pour les jonctions P^+	37
61	Implant des jonctions P^+	37
62	Masque pour les vias entre le poly-silicium et le niveau 1	38
63	Création des vias entre le poly-silicium et le niveau 1	38
64	Masque pour les contacts en métal de niveau 1	39
65	Création des contacts en métal de niveau 1	39
66	Simulation de notre inverseur	40
67	Consommation en courant de notre inverseur	41
68	Fonction de transfert de notre inverseur	41
69	Dessin de notre oscillateur bouclé	42
70	Simulation de notre oscillateur bouclé	43
71	Schéma de la fonction logique « NAND »	44
72	Table de vérité <i>étendue</i> de la fonction logique « NAND » en C-MOS	44
73	Dessin de notre fonction logique « NAND »	45
74	Vue en coupe de notre porte « NAND »	45
75	Simulation de notre fonction logique « NAND »	46
76	Consommation en courant de notre fonction logique « NAND »	46
77	Fonction logique « NOR »	47
78	Table de vérité <i>étendue</i> de la fonction logique « OR » en C-MOS	47
79	Dessin de notre fonction logique « OR »	48
80	Simulation de notre fonction logique « OR »	48
81	Fonction logique « XOR »	49
82	Table de vérité <i>étendue</i> de la fonction logique « XOR » en C-MOS	49
83	Dessin de notre fonction logique « XOR »	50
84	Simulation de notre fonction logique « XOR »	50
85	Fonction logique « XOR » optimisée	51
86	Table de vérité <i>étendue</i> de la fonction logique « NAND » en C-MOS	51
87	Dessin de notre fonction logique « XOR » optimisée	52
88	Simulation de notre fonction logique « XOR » optimisée	52
89	Table de vérité de la fonction logique $F = \overline{A + (B \cdot C)}$ en C-MOS	53
90	Fonction logique $F = \overline{A + (B \cdot C)}$	53
91	Dessin de notre fonction logique $F = \overline{A + (B \cdot C)}$	54
92	Simulation de notre fonction logique $F = \overline{A + (B \cdot C)}$	54
93	Porte de transmission	55
94	Dessin de notre porte de transition	56
95	Simulation de notre porte de transition	56
96	Table de vérité d'un demi-additionneur	57
97	Dessin de notre demi-additionneur	57
98	Simulation de notre demi-additionneur	58
99	Schéma de notre amplificateur opérationnel	59
100	Dessin de notre amplificateur opérationnel	59
101	Schéma de la paire différentielle	60
102	$I_{MD}(V_{MD})$, fonction de transfert de la paire différentielle	62
103	Schéma de l'amplificateur opérationnel	62
104	Schéma équivalent petit signal de l'amplificateur	63
105	Simulation de notre amplificateur opérationnel avec une tension de mode commun de 1 V	64